

Per Boten
Landgericht München
- Patentstreitkammern -
Lenbachplatz 7
80316 München

Dr. Ralph Nack
Rechtsanwalt
Noerr LLP
Brienner Str. 28
80333 München
Deutschland
www.noerr.com

München, den 11.07.2017

KLAGE

Netlist Luxembourg S.à r.l., 6, rue Adolphe, L-1116 Luxembourg,
vertreten durch den Managing Director, ebenda

- Kläger -

Prozessbevollmächtigte:
Noerr LLP, Brienner Str. 28, 80333 München

gegen

1. **SK hynix Inc.**, 2091, Gyeongchung-daero, Bubal-eup, Icheon-si, Gyeonggi-do, Republik Korea, vertreten durch den Präsident & CEO Park Sung-wook, ebenda

- Beklagte zu 1) -

2. **Hewlett-Packard GmbH**, Herrenberger Str. 140, 71034 Böblingen, vertreten durch den Geschäftsführer Heiko Meyer, ebenda

- Beklagte zu 2) -

wegen Gebrauchsmusterverletzung

Streitwert vorläufig:
EUR 500.000

Gerichtskosten:
EUR 10.608,00

Assistenz Tatjana Baum
T +49 89 28628163
T +49 89 286280 (Zentrale)
F +49 89 280110
Ralph.Nack@noerr.com
Unser Zeichen: M-1412-2017
RNA/rna

Alicante
Berlin
Bratislava
Brüssel
Budapest
Bukarest
Dresden
Düsseldorf
Frankfurt/M.
Hamburg
London
Moskau
München
New York
Prag
Warschau

Namens und in Vollmacht der Klägerin erheben wir hiermit

Klage

zum zuständigen Landgericht München I. Zudem zeigen wir die Mitwirkung der Patentanwälte der Bosch Jehle Patentanwaltsgesellschaft mbH an. Wir bitten um Zustellung der Klageschrift sowie um Anberaumung eines möglichst zeitnahen Termins zur mündlichen Verhandlung.

In der mündlichen Verhandlung werden wir beantragen:

A. Die Beklagten werden verurteilt,

- I. es bei Meidung eines für jeden Fall der Zuwiderhandlung vom Gericht festzusetzenden Ordnungsgeldes bis zu EUR 250.000,00 – ersatzweise Ordnungshaft – oder Ordnungshaft bis zu sechs Monaten, im Falle wiederholter Zuwiderhandlung bis zu insgesamt zwei Jahren, wobei die Ordnungshaft an den gesetzlichen Vertretern der Beklagten zu vollziehen ist, jeweils zu unterlassen,

Speichermodule zur Verwendung in einem Computersystem, das einen Systemspeichercontroller aufweist, mit:

einer gedruckten Leiterplatte bzw. Printed Circuit Board (PCB), die in einem Modulschlitz des Computersystems anbringbar ist, wobei die PCB einen Randstecker hat, der eine Vielzahl elektrischer Kontakte aufweist, die an einem Rand der PCB positioniert und dazu positioniert sind, lösbar mit korrespondierenden Kontakten eines Computersystem-Sockels verbunden zu werden, um elektrische Leitfähigkeit zwischen dem Systemspeichercontroller und dem Speichermodul bereitzustellen;

Speichervorrichtungen, die jeweils eine Bitbreite von 4 Bits haben, wobei die Speichervorrichtungen mechanisch mit der PCB verbunden und in mehreren Reihen mit n Speichervorrichtungen pro Reihe angeordnet sind, wobei jede Reihe eine Bitbreite hat, die gleich einer Bitbreite des Speichermoduls ist;

einer Steuerschaltung, die mechanisch mit der PCB verbunden und über registrierte Steuerleitungen betriebsbereit mit den Speichervorrichtungen verbunden ist, wobei die Steuerschaltung dazu konfigurierbar ist, Steuersignale für eine Lese- oder Schreiboperation, die von dem Speichercontroller empfangen werden, zu registrieren und Modulsteuersignale zu erzeugen, wobei die Lese- oder Schreiboperation auf eine bestimmte der mehreren Reihen abzielt; und

n/2 Datenübertragungsschaltungen, die mechanisch mit der PCB verbunden und an entsprechenden Positionen entlang des Rands der PCB verteilt sind, wobei die n/2 Datenübertragungsschaltungen dazu konfigurierbar sind, betriebsbereit mit dem Systemspeichercontroller verbunden zu werden, und dazu konfigurierbar sind, Modulsteuersignale von der Steuerschaltung zu empfangen, wobei jede der Vielzahl von Datenübertragungsschaltungen eine Bitbreite von 8 Bits hat und mit zwei zugehörigen Speichervorrichtungen in jeder der mehreren Reihen verbunden ist;

wobei jede Datenübertragungsschaltung dazu konfigurierbar ist, auf die Modulsteuersignale anzusprechen durch Freigeben von Datenpfaden und durch Treiben von Datensignalen für die Lese- oder Schreiboperation auf den Datenpfaden zwischen dem Systemspeichercontroller und den beiden zugehörigen Speichervorrichtungen in der bestimmten der mehreren Reihen;

wobei das Speichermodul des Weiteren Column Address Strobe(CAS)-Latenz bzw. Speicherlatenz verwendet, um die Operation der n/2 Datenübertragungsschaltungen zu steuern;

in der Bundesrepublik Deutschland anzubieten, in Verkehr zu bringen oder zu gebrauchen oder zu den genannten Zwecken einzuführen oder zu besitzen;

(unmittelbare Verletzung des Vorrichtungsanspruchs 1 des DE 20 2010 018 501 U1)

II. der Klägerin darüber Auskunft zu erteilen, in welchem Umfang sie die unter Ziffer A.I. bezeichneten Handlungen seit dem 04.07.2017 begangen haben, und zwar unter Angabe

- a) der Namen und Anschriften der Hersteller, Lieferanten und anderer Vorbesitzer,
- b) der Namen und Anschriften gewerblicher Abnehmer, einschließlich der Verkaufsstellen, für die die Erzeugnisse bestimmt waren,
- c) der Menge der ausgelieferten, erhaltenen oder bestellten Erzeugnisse sowie der bezahlten Preise, die für die betreffenden Erzeugnisse bezahlt wurden,

wobei zum Nachweis der Angaben die entsprechenden Kauf- oder Mietbelege, nämlich Rechnungen, hilfsweise Lieferscheine, in Kopie vorzulegen sind, wobei geheimhaltungsbedürftige Details außerhalb der auskunftspflichtigen Daten geschwärzt werden dürfen;

III. der Klägerin in einer einheitlichen, geordneten Aufstellung unter Vorlage von Belegen, wie Rechnungen, hilfsweise Lieferscheinen oder Quittungen, schriftlich sowie in elektronischer Form, darüber Rechnung zu legen, in welchem Umfang sie die unter Ziffer A.I. bezeichneten Handlungen seit dem 04.07.2017 begangen haben, und zwar jeweils unter Angabe

- a) der einzelnen Lieferungen, aufgeschlüsselt nach Liefermengen, -zeiten und -preisen, einschließlich der Rechnungsnummern, und der jeweiligen Typenbezeichnungen sowie der Namen und Abschriften der Abnehmer,
- b) der einzelnen Angebote, aufgeschlüsselt nach Angebotsmengen, -zeiten und -preisen und der jeweiligen Typenbezeichnungen sowie der Namen und Anschriften der Angebotsempfänger,
- c) der betriebenen Werbung, aufgeschlüsselt nach Werbeträgern, deren Auflagenhöhe, Verbreitungszeitraum und Verbreitungsgebiet, im Falle von Internet-Werbung der Domain, der Zugriffszahlen und der Schaltungszeiträume, und bei direkter Werbung, wie Rundbriefen, der Namen und Anschriften der Empfänger,
- d) der nach den einzelnen Kostenfaktoren aufgeschlüsselten Gestehungskosten und des erzielten Gewinns,

wobei es den Beklagten gegebenenfalls vorbehalten bleibt, die Namen und Anschriften der Angebotsempfänger und der nicht-gewerblichen Abnehmer statt der Klägerin einem von dieser zu bezeichnenden und ihr gegenüber zur Verschwiegenheit verpflichteten, in der Bundesrepublik Deutschland ansässigen, vereidigten Wirtschaftsprüfer mitzuteilen, sofern die Beklagten die durch die Einschaltung des Wirtschaftsprüfers entstehenden Kosten tragen und ihn zugleich ermächtigen, der Klägerin auf Anfrage mitzuteilen, ob bestimmte Angebotsempfänger oder nicht-gewerbliche Abnehmer in der erteilten Rechnungslegung enthalten sind;

IV. die vorstehend unter Ziffer A.I. bezeichneten, im Besitz gewerblicher Abnehmer befindlichen Erzeugnisse gegenüber den gewerblichen Abnehmern unter Hinweis auf den gerichtlich festgestellten gebrauchsmusterverletzenden Zustand der Erzeugnisse mit der verbindlichen Zusage zurückzurufen, etwaige Entgelte zu erstatten sowie notwendige Verpackungs- und Transportkosten sowie mit der Rückgabe verbundene Zoll- und Lagekosten zu übernehmen, oder diese Erzeugnisse aus den Vertriebswegen endgültig zu entfernen, indem die Beklagten diese Erzeugnisse wieder an sich nehmen.

- B. Es wird festgestellt, dass die Beklagten verpflichtet sind, der Klägerin allen Schaden zu ersetzen, der ihr durch die in Ziffer A.I bezeichneten, seit dem 04.07.2017 begangenen Handlungen entstanden ist und noch entstehen wird.
- C. Die Beklagten tragen die Kosten des Rechtsstreits.
- D. Das Urteil ist vorläufig vollstreckbar.
- E. Für den Fall der Anordnung einer Sicherheitsleistung wird der Klägerin gestattet, diese auch in Form einer Bank- oder Sparkassenbürgschaft zu erbringen.
- F. Die Höhe der Sicherheitsleistung wird für die einzelnen vollstreckbaren Teile des Urteils gesondert festgestellt.

Für den Fall des Vorliegens der gesetzlichen Voraussetzungen, beantragen wir gemäß § 331 Abs. 3 ZPO den Erlass eines Versäumnis- bzw. Anerkenntnisurteils.

Begründung:

Mit der vorliegenden Klage werden Ansprüche wegen Verletzung des Gebrauchsmusters der Klägerin DE 20 2010 018 501 U1 durch von der Beklagten zu 1) in Korea hergestellte und in Deutschland angebotene Speichermodule (load-reduce dual in-line memory modules, kurz LRDIMM) geltend gemacht. Diese Speichermodule werden zudem von der Beklagten zu 2) unter ihrer eigenen Marke und mit eigenen Produktnummern in Deutschland für die Server-Produkte der Beklagten zu 1) angeboten. Im Einzelnen handelt es sich um folgende Produkte:

Produktbezeichnung SK hynix	Speicher	Reihen („ranks“)	Produktbezeichnung HPE
HMA42GL7AFR4N	16GB	2	HP 16 GB RAM DDR4 PC4-17000 2133 MHz
HMA84GL7AMR4N	32GB	4	HP 32 GB RAM DDR4 PC4-17000 2133 MHz
HMA42GL7MFR4N	16GB	2	HP 16 GB RAM DDR4 PC4-17000 2133 MHz
HMA84GL7MMR4N	32GB	4	HP 32 GB RAM DDR4 PC4-17000 2133 MHz

HMA84GL7AFR4N	32GB	2	HP 32 GB RAM DDR4 PC4-19200 2400 MHz
HMAA8GL7AMR4N	64GB	4	HP 64 GB RAM DDR4 PC4-19200 2400 MHz
HMA84GL7MFR4N	32GB	2	HP 32 GB RAM DDR4 PC4-19200 2400 MHz
HMAA8GL7MMR4N	64GB	4	HP 64 GB RAM DDR4 PC4-19200 2400 MHz

Die in dieser Klage genannten Anlagen werden nur im Falle des Bestreitens überreicht.

A. Die Parteien

I. Die Klägerin

Die Klägerin ist eine europäische Niederlassung des weltweit operierenden, US-amerikanischen Speicherchipherstellers Netlist Inc. mit Sitz in Irvine, California.

Die Muttergesellschaft der Klägerin wurde im Jahr 2000 gegründet und ist ein führender Zulieferer für modulare Hochleistungsspeichersystem. Zu den Kunden von Netlist gehören die weltweit führenden Computerhersteller.

II. Die Beklagten

1. Die Beklagte zu 1)

Die Beklagte zu 1) ist ein südkoreanischer Halbleiterhersteller. Das Unternehmen wurde im Februar 1983 als Hyundai Electronics Industries Co., Ltd gegründet. Größter Anteilseigner ist die SK Telecom.

Das Unternehmen ist ein direkter Wettbewerber des Konzerns der Klägerin.

2. Die Beklagte zu 2)

Die Beklagte zu 2) ist die deutsche Tochter des US-amerikanischen Informations-technikunternehmens Hewlett Packard Enterprise mit Sitz in Palo Alto im Bundesstaat Kalifornien.

B. Zum Klagegebrauchsmuster

I. Formalia

Die Klägerin ist seit dem 04.07.2017 die eingetragene Inhaberin des deutschen Gebrauchsmusters DE 20 2010 018 501 U1 (im Folgenden „Klagegebrauchsmuster“), das am 06.02.2017 unter Inanspruchnahme der Prioritäten der US 12/504,131 und US 12/761,179 vom 16.07.2009 bzw. 15.04.2010 als Abzweigung der Patentanmeldung EP 10 73 0021.2 eingetragen wurde. Der Hinweis auf die Eintragung wurde am 16.03.2017 veröffentlicht. Eine Kopie des Klagegebrauchsmusters überreichen wir (dreifach für die Kammer) als

Beweis:

- Anlage K 1 -

Das Klagegebrauchsmuster steht in Kraft. Einen aktuellen Auszug aus dem Online-Register des Deutschen Patent- und Markenamtes überreichen wir als

Beweis:

- Anlage K 2 -

II. Technisches Gebiet

Die Erfindung des Klagegebrauchsmusters betrifft ein Speichermodul zur Verwendung in einem Computersystem mit verbesserter Leistung (vgl. Abs. [0001] der Klagegebrauchsmusterbeschreibung; im Folgenden zitiert nach Abschnitten ohne weitere Bezugnahme).

Speichermodule sind Bausteine von Computern. Computersysteme umfassen üblicherweise Prozessoren, die Daten verarbeiten. Zur Datenverarbeitung verwendet der Prozessor einen Arbeitsspeicher, üblicherweise einen sogenannten Dynamic Random Access Memory (DRAM). Der Arbeitsspeicher ermöglicht dem Prozessor einen besonders schnellen Zugriff auf Daten, die der Prozessor bei der Datenverarbeitung benötigt. Das Speichermodul umfasst den Arbeitsspeicher und ermöglicht dem Prozessor Zugriff auf den Arbeitsspeicher. Der Prozessor und das Speichermodul sind über eine Speicherplatte, Motherboard genannt, miteinander verbunden. Das Speichermodul ist über eine Steckverbindung elektrisch mit dem Motherboard

verbindbar. Die Datenleitungen, welche das Speichermodul über das Motherboard mit dem Prozessor verbinden, werden zusammenfassend Datenbus genannt.

III. Stand der Technik

Bei der Konzeption von Speichermodulen sollen mehrere Ziele gleichzeitig erreicht werden. Beispielsweise soll der Zugriff auf den Speicher möglichst schnell erfolgen, das Modul soll möglichst viel Speicherplatz dem Prozessor bereitstellen, und das Modul soll preiswert sein. Die insoweit zur Verfügung stehenden technischen Parameter stehen jedoch in einer Wechselwirkung zueinander, so dass bei der Auswahl der Parameter stets ein Zielkonflikt besteht. Eine hohe Verlustleistung kann zum Beispiel die Operationsgeschwindigkeit einschränken siehe Abs. [0008].

1. US 7,024515 B2 (Halbert)

Ein Speichermodul ist beispielsweise in der US 7,024515 B2 (Halbert) offenbart. Wir überreichen das US 7,024515 als

- Anlage K 3 -

Figur 8 des US 7,024515 B2 zeigt schematisch eine Hauptplatine 21, welche mit mehreren Speichermodulen 100A, 100B und 100C über Steckverbindungen 28A, 28B und 28C verbunden ist. Die Speichermodule bestehen jeweils aus einer Leiterplatte, auf der mehrere Speichervorrichtungen 140 befestigt sind. Die Speichervorrichtungen sind in zwei Reihen aufgeteilt, die erste Reihe (140A-H) findet sich auf der Vorderseite der Leiterplatte, während die zweite Reihe (142A-H) auf der Rückseite der Leiterplatte angeordnet ist. Auf der Hauptplatine 21 ist eine Speichersteuerung 20 vorgesehen. Die Speichersteuerung ist wiederum mit dem „Host“, d.h. mit dem Prozessor, über einen FSB (front side bus) verbunden; sie stellt eine Schnittstelle zwischen den Speichermodulen und dem Prozessor bereit.

Das in US 7,024515 B2 offenbarte Speichermodul erhöht den Speicherplatz, indem zwei Reihen mit Speichervorrichtungen auf dessen Vorder- und Rückseite der Leiterplatte des Speichermoduls angeordnet sind. Der Zugriff auf Speichervorrichtungen der zwei Reihen erfolgt über zwei Schnittstellen-Schaltungen (interface circuits 175 und 180 in Figuren 7 und 8). Die linke und rechte Schnittstellen-Schaltung sind jeweils mit dem Datenbus des Speichers (memory bus 22) verbunden. Eine Modulsteuerung 110 synchronisiert den Datentransfer mittels Synchronisationsbefehlen (SYNC), die der linken und rechten Schnittstellenschaltung 125 und 130 zugeführt werden.

Die Anzahl der Datenbits, die über den Datenbus gleichzeitig an einer der beiden Schnittstellenschaltungen übertragen werden können, werden in Figur 7 der Patentschrift 7,024515 B2 jeweils mit $m/2$ angegeben. Eine Reihe von Speichervorrichtungen kann ebenfalls mit $m/2$ Datenbits angesprochen werden. Figur 4 des US 7,024515 B2 offenbart den Fall, dass die Bitbreiten der Schnittstellenschaltungen und aller Speichervorrichtungen gleich groß ($= m$) sind. Wenn ein Datenzugriff über eine der Schnittstellenschaltungen erfolgt, dann tauschen beide Reihen der Speichervorrichtungen gleichzeitig Daten aus; siehe Zusammenfassung des US 7,024515 B2. Also empfängt die Schnittstellenschaltung (120 in Figur 4) gleichzeitig $2 \cdot m$ Bits an Daten. Sie kann jedoch nur m Bits gleichzeitig an den Bus weiterreichen. Mehrere Zwischenspeicher (Puffer 122, 126 und 128) und ein so genannter Multiplexer/Demultiplexer (124) sorgen dafür, dass innerhalb von zwei aufeinanderfolgenden Taktintervallen jeweils m Bits über den Datenbus an die Systemspeichersteuerung und anschließend an den Prozessor übertragen werden.

Die Speichervorrichtung aus dem US 7,024515 B2 verlangsamt damit den Datenzugriff über den Datenbus, um eine größere Speicherkapazität dem Prozessor bereitzustellen.

2. US 2006/0262586 A1 (Solomon et al.)

Die amerikanische Patentanmeldung US 2006/0262586 A1 (Solomon et al.) offenbart ein Speichermodul, das mehrere Speichervorrichtungen aufweist. Eine Schaltung ist vorgesehen, die zwischen die Speichermodule und einen Speichercontroller geschaltet ist. Wie überreichen die US 2006/0262586 A1 als

- Anlage K 4 -

Die Schaltung umfasst eine sogenannte SPD-Vorrichtung, die die CAS-Latenz an die Speichersteuerung des Computersystems meldet; siehe Spalte [0119] auf Seite 12 der Patentanmeldung US 2006/0262586. Allerdings wird nicht offenbart, die CAS-Latenz zur Steuerung von Datenübertragungsschaltungen einzusetzen. Das Dokument gibt dem Fachmann auch keinerlei Veranlassung dazu, eine derartige Steuerung zu implementieren. Schließlich enthält die Patentanmeldung keinerlei Hinweise auf die erfindungsgemäße Wahl der Bitbreite der Speichervorrichtungen (4 Bits), der Anzahl der Datenübertragungsschaltungen ($n/2$) und der Bitbreite der Datenübertragungsschaltungen (8 Bits).

3. US 2006/0117152 A1 (Amidi et al.)

Die amerikanische Patentanmeldung US 2006/0117152 A1 (Amidi et al.) betrifft ein Speichermodul mit vier Reihen von Speichervorrichtungen. Wir überreichen die US 2006/0117152 A1 als

- Anlage K 5 -

Die Frontseite des Moduls hat zwei Reihen, die übereinander gestapelt sind; die Rückseite hat ebenso zwei Reihen die übereinander gestapelt sind. Ein Emulator aktiviert und steuert jeweils eine Reihe von Speichermodulen. Weitere relevante Offenbarung enthält die US 2006/0117152 A1 nicht.

4. US Patent US 8,130,560 B1 (Rajan et al.)

Das US Patent US 8,130,560 B1 (Rajan et al.) betrifft Speichermodule mit mehreren Reihen von Speichervorrichtungen. Wir überreichen das US 8,130,560 B1 als

- Anlage K 6 -

Ein Speichercontroller greift über einen Speicherbus auf das Speichermodul zu. In Figur 6 wird offenbart, dass eine Pufferschaltung (Buffer) zwischen jede Speichervorrichtung aus einer Reihe und dem Datenbus geschaltet ist. Damit ist die Anzahl der Pufferschaltungen genauso groß wie die Anzahl der Speichervorrichtungen pro Reihe. Ferner ist eine Registerschaltung vorgesehen, die Steuersignale an die einzelnen Speichervorrichtungen überträgt. Allerdings sind keine Modulsteuersignale offenbart, auf die die Pufferschaltungen ansprechen. Als Bitbreite der Speichervorrichtungen ist in Figur 6 der Patentschrift US 8,130,560 B1 die Anzahl 4 offenbart. Allerdings ist die Bitbreite der Pufferschaltungen nicht etwa 8 sondern ebenfalls 4.

5. US Patent 7,464,225 B2

Das US Patent 7,464,225 B2 betrifft Speichermodule mit einer Vielzahl von Speichervorrichtungen. Wir überreichen das US 7,464,225 B2 als

- Anlage K 7 -

Die Speichervorrichtungen sind in Reihen (slices) angeordnet. Jeder Reihe von 4 Speichervorrichtungen ist eine Pufferschaltung (buffer 100) zugeordnet. Die Puffer übertragen die Daten zwischen den ausgewählten Speichervorrichtungen aus einer Reihe und dem Datenbus (signal path 120). Eine Steuerschaltung fehlt jedoch gänzlich. Stattdessen werden die Puffer direkt über einen Signalbus (signal path 121) angesteuert. Es sind folglich auch keine Steuerleitungen zwischen einer Steuerschaltung und den Speichervorrichtungen vorge-

sehen. Nicht offenbart werden Modulsteuersignale, die von der Steuerschaltung erzeugt werden. Die Anzahl der Pufferschaltungen entspricht nicht der Hälfte der Anzahl der Speichervorrichtungen pro Reihe (slice). Weitere relevante Offenbarung enthält die US 7,464,225 B2 nicht.

IV. Aufgabe und Lösung

Vor dem Hintergrund des oben genannten Standes der Technik ist es Aufgabe der beanspruchten Erfindung, ein preiswertes Speichermodul bereitzustellen, welches eine höhere Speicherdichte und Zugriffsgeschwindigkeit ermöglicht.

Zu Lösung dieser Aufgabe schlägt das Klagegebrauchsmuster u.a. ein Speichermodul entsprechend dem unabhängigen Vorrichtungsanspruch 1 des Klagegebrauchsmusters vor, der sich in folgende Merkmal gliedern lässt:

1. Speichermodul zur Verwendung in einem Computersystem, das einen Systemspeichercontroller aufweist, mit:
 - 1.1 einer gedruckten Leiterplatte bzw. Printed Circuit Board (PCB), die in einem Modulschlitz des Computersystems anbringbar ist,
 - 1.1.1 wobei die PCB einen Randstecker hat, der eine Vielzahl elektrischer Kontakte aufweist, die an einem Rand der PCB positioniert und dazu positioniert sind, lösbar mit korrespondierenden Kontakten eines Computersystem-Sockels verbunden zu werden, um elektrische Leitfähigkeit zwischen dem Systemspeichercontroller und dem Speichermodul bereitzustellen;
 - 1.2 Speichervorrichtungen,
 - 1.2.1 die jeweils eine Bitbreite von 4 Bits haben,
 - 1.2.2 wobei die Speichervorrichtungen mechanisch mit der PCB verbunden und
 - 1.2.3 in mehreren Reihen mit n Speichervorrichtungen pro Reihe angeordnet sind,
 - 1.2.3.1 wobei jede Reihe eine Bitbreite hat, die gleich einer Bitbreite des Speichermoduls ist;
 - 1.3 einer Steuerschaltung, die mechanisch mit der PCB verbunden und über registrierte Steuerleitungen betriebsbereit mit den Speichervorrichtungen verbunden ist,

- 1.3.1 wobei die Steuerschaltung dazu konfigurierbar ist, Steuersignale für eine Lese- oder Schreiboperation, die von dem Speichercontroller empfangen werden, zu registrieren und Modulsteuersignale zu erzeugen,
 - 1.3.1.1 wobei die Lese- oder Schreiboperation auf eine bestimmte der mehreren Reihen abzielt; und
- 1.4 $n/2$ Datenübertragungsschaltungen, die mechanisch mit der PCB verbunden und an entsprechenden Positionen entlang des Rands der PCB verteilt sind,
 - 1.4.1 wobei die $n/2$ Datenübertragungsschaltungen dazu konfigurierbar sind, betriebsbereit mit dem Systemspeichercontroller verbunden zu werden,
 - 1.4.2 und dazu konfigurierbar sind, Modulsteuersignale von der Steuerung zu empfangen,
 - 1.4.3 wobei jede der Vielzahl von Datenübertragungsschaltungen eine Bitbreite von 8 Bits hat und
 - 1.4.4 mit zwei zugehörigen Speichervorrichtungen in jeder der mehreren Reihen verbunden ist;
 - 1.4.5 wobei jede Datenübertragungsschaltung dazu konfigurierbar ist, auf die Modulsteuersignale anzusprechen durch Freigeben von Datenpfaden und durch Treiben von Datensignalen für die Lese- oder Schreiboperation auf den Datenpfaden zwischen dem Systemspeichercontroller und den beiden zugehörigen Speichervorrichtungen in der bestimmten der mehreren Reihen;
- 1.5 wobei das Speichermodul des Weiteren Column Address Strobe (CAS)-Latenz bzw. Speicherlatenz verwendet, um die Operation der $n/2$ Datenübertragungsschaltungen zu steuern.

Wir überreichen diese Merkmalsgliederung des unabhängigen Anspruchs 1 des Klagegebrauchsmusters (für die Kammer dreifach) als

Beweis:

- Anlage K 8 -

V. Gegenstand des Anspruchs 1

Die technische Lehre des Klagegebrauchsmusters wird im Folgenden anhand der Merkmale des Anspruchs 1 des Klagegebrauchsmusters erläutert.

1. Merkmal 1

Speichermodule zur Verwendung in einem Computersystem, das einen Systemspeichercontroller aufweist

Anspruchsgemäße Speichermodule werden z.B. als Hauptspeicher in Systemen wie Servern oder Workstations (Computersysteme) verwendet.

Der Server oder die Workstation verwendet dabei einen Systemspeichercontroller, um mit dem Speichermodule zu kommunizieren.

2. Merkmal 1.1

einer gedruckten Leiterplatte bzw. Printed Circuit Board (PCB), die in einem Modulschlitz des Computersystems anbringbar ist

Als Träger der in den nachfolgenden Merkmalen genannten Komponenten dient im Speichermodule eine Platte, auf welche Leiterbahnen zur Verbindung der einzelnen Komponenten gedruckt sind (gedruckte Leiterplatte, PCB).

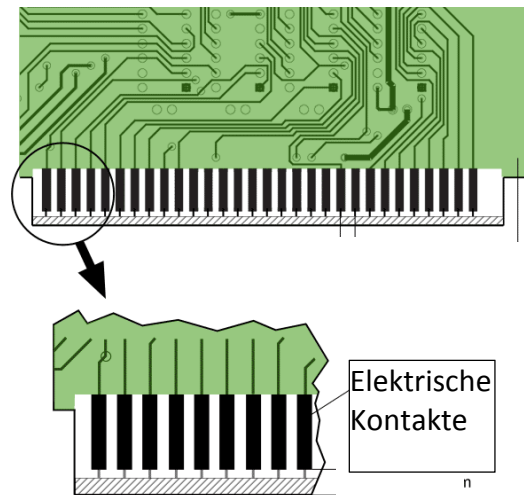
Diese Leiterplatte kann in einen entsprechenden Modulschlitz des Computersystems eingesetzt. Auf diese Weise können in einem Computersystem Speichermodule auf einfache Weise z.B. ergänzt oder ausgetauscht werden.

3. Merkmal 1.1.1

wobei die PCB einen Randstecker hat, der eine Vielzahl elektrischer Kontakte aufweist, die an einem Rand der PCB positioniert und dazu positioniert sind, lösbar mit korrespondierenden Kontakten eines Computersystem-Sockels verbunden zu werden, um elektrische Leitfähigkeit zwischen dem Systemspeichercontroller und dem Speichermodule bereitzustellen

Merkmal 1.1.1 beschreibt im Detail die Ausgestaltung des Steckers des PCB für die Steckverbindung zum Computersystem. Der Stecker ist am Rand des PCB angeordnet. Er weist eine Vielzahl elektrischer Kontakte auf. Diese Kontakte können lösbar mit korrespondierenden Kontakten eines Computersystem-Sockels verbunden werden.

Rein exemplarisch sieht ein solcher Randstecker wie folgt aus:



4. Merkmal 1.2

Speichervorrichtungen

Speichervorrichtungen in Computersystemen können beispielsweise Speicher mit wahlfreiem Zugriff (Dynamic Random Access Memory, DRAM) oder Speicher mit synchronen wahlfreien Zugriff (Synchronous Dynamic Random Access Memory, SDRAM) sein, siehe Abs. [0002], [0032], [0035] und [0045].

5. Merkmal 1.2.1

Speichervorrichtungen,

die jeweils eine Bitbreite von 4 Bits haben

Der Begriff der Bitbreite ist im Klagegebrauchsmuster nicht definiert, ist dem Fachmann jedoch bekannt. Der Fachmann versteht darunter die Anzahl der Datenbits (Nullen bzw. Einsen), die gleichzeitig in den Speicher geschrieben oder von diesem ausgelesen werden können.

Nach Merkmal 1.2.1 muss die Bitbreite jedes Speichermoduls 4 Bits betragen.

6. Merkmal 1.2.2

wobei die Speichervorrichtungen mechanisch mit der PCB verbunden sind

Nach Merkmal 1.2.2 muss die Speichervorrichtung mechanisch mit der PCB verbunden sein, also beispielsweise aufgelötet sein.

7. Merkmal 1.2.3

wobei die Speichervorrichtungen in mehreren Reihen mit n Speichervorrichtungen pro Reihe angeordnet sind

Die Speichervorrichtungen (DRAMs oder SDRAMs) sind auf der PCB in einer eindeutigen Konfiguration angeordnet. Eine Konfiguration besteht gemäß Merkmal 1.2.3 aus Reihen („Ranks“) von Speichervorrichtungen. Die Gesamtkonfiguration der Reihen bestimmt die Gesamtspeicherkapazität des Speichermoduls, siehe Abs. [0002].

Nach Merkmal 1.2.3 muss das Speichermodul wenigstens mehr als eine Reihe von Speichervorrichtungen aufweisen. In jeder Reihe ist eine bestimmte (= n) Anzahl von Speichervorrichtungen angeordnet. Der Wert der Variable n wird in der Beschreibung nicht eingeschränkt.

8. Merkmal 1.2.3.1

wobei jede Reihe eine Bitbreite hat, die gleich einer Bitbreite des Speichermoduls ist

Werden mehrere Speichervorrichtungen (DRAMs oder SDRAMs) in einer Reihe angeordnet, addieren sich die Bitbreiten dieser Speichervorrichtungen. Anders ausgedrückt: die Bitbreite einer Reihe (Rank) ist die Summe der Bitbreiten von Speichervorrichtungen, die in dieser Reihe angeordnet sind.

Merkmal 1.2.3.1 legt nun fest, dass das Speichermodul insgesamt so zu konfigurieren ist, dass die Bitbreite einer Reihe (Rank) zugleich der Bitbreite des gesamten Speichermoduls entspricht.

Mit anderen Worten: es ist eine Konfiguration des Speichermoduls zu wählen, bei der die Summe der Bitbreiten der Speichervorrichtungen, die in einer Reihe angeordnet sind, der Bitbreite des gesamten Speichermoduls entspricht. Zugleich sollen aber gemäß Merkmal 1.2.3 mehrere Reihen von Speichervorrichtungen vorhanden sein. Gleichzeitig sollen sich aber die Bitbreiten der Reihen (Ranks) gemäß Merkmal 1.2.3.1 nicht addieren.

Hat beispielsweise eine Reihe eines Speichermoduls 18 Speichervorrichtungen, und jede Speichervorrichtung anspruchsgemäß eine Bitbreite von 4 Bits, ergibt sich somit eine Bitbreite des Speichermoduls von 72 Bits. Ein Speichermodul mit einer Bitbreite von z.B. 72 Bits wird üblicherweise als „x72“ oder „by72“ Architektur bezeichnet, siehe Abs. [0003].

9. Merkmal 1.3

einer Steuerschaltung, die mechanisch mit der PCB verbunden und über registrierte Steuerleitungen betriebsbereit mit den Speichervorrichtungen verbunden ist

Jedes Speichermodul benötigt eine Steuerschaltung, um die Speichervorrichtungen zu steuern. Die Speichervorrichtungen können nicht „autonom“ – d.h. ohne eine Steuerung – funktionieren.

Nach Merkmal 1.3 ist diese Steuerschaltung auf der PCB anzuordnen und mit dieser mechanisch – z.B. durch eine Lötverbindung – zu verbinden. Zugleich muss die Steuerschaltung betriebsbereit sein, d.h. über Steuerleitungen insbesondere mit den Speichervorrichtungen verbunden sein. Über die Steckkontakte ist die Steuerschaltung auch mit dem Systemspeichercontroller verbunden, siehe sogleich Merkmal 1.3.1.

Nach Merkmal 1.3 muss die Steuerschaltung zudem ein sog. Register aufweisen. Als Register werden allgemein Speicherbereiche bezeichnet, die innerhalb eines Prozessorkerns unmittelbar mit der eigentlichen Recheneinheit verbunden sind. Nach Abs. [0049] kann insoweit eine übliche Anordnung gewählt werden, d.h. in der merkmalsgemäßen Anordnung befindet sich zwischen den Steuerleitungen und dem Prozessorkern ein Register (die Steuerleitungen werden somit „registriert“).

10. Merkmal 1.3.1

wobei die Steuerschaltung dazu konfigurierbar ist, Steuersignale für eine Lese- oder Schreiboperation, die von dem Speichercontroller empfangen werden, zu registrieren und Modulsteuersignale zu erzeugen

Merkmal 1.3.1 legt fest, dass die Steuerschaltung so konfiguriert werden kann, dass sie zum einen die Steuersignale des Speichercontrollers empfangen kann und diese „registriert“, d.h. im oben erwähnten Register der Steuerschaltung verarbeitet (siehe oben, Merkmal 1.3). Mit Speichercontroller ist hier der Systemspeichercontroller aus Merkmal 1 gemeint. Zum anderen soll die Steuerschaltung „Modulsteuersignale“ entsprechend den empfangenen Steuersignalen erzeugen. Wie sich aus Merkmal 1.4.2 (hierzu sogleich) ergibt, werden mit den Modulsteuersignalen die Datenübertragungsschaltungen gesteuert, welche wiederum die Schreib-/Leseoperationen in den Speichervorrichtungen steuern.

11. Merkmal 1.3.1.1

wobei die Lese- oder Schreiboperation auf eine bestimmte der mehreren Reihen abzielt

Merkmal 1.3.1.1 legt zunächst fest, dass die Lese- oder Schreiboperation auf eine bestimmte Reihe abzielt. Das bedingt, dass die von der Steuerschaltung erzeugten Modulsteuersignale nur eine Reihe von Speichervorrichtungen ansteuern. Es entsteht folglich kein Flaschenhals dadurch, dass die Daten aus mehreren Reihen von Speichermodulen gleichzeitig übertragen werden müssen.

12. Merkmal 1.4

n/2 Datenübertragungsschaltungen, die mechanisch mit der PCB verbunden und an entsprechenden Positionen entlang des Rands der PCB verteilt sind

Die Merkmalsgruppe 1.4 betrifft die Datenübertragungsschaltungen. Die Datenübertragungsschaltungen sind den Speichervorrichtungen unmittelbar vorgeschaltet. Wenn man sich eine Speichervorrichtung bildlich als ein Hochregallager vorstellt, sind die Datenübertragungsschaltungen die ferngesteuerten Gabelstapler, welche die Waren in die Fächer des Hochregallagers einlegen und aus diesem entnehmen.

Technisch werden solche Datenübertragungsschaltungen gewöhnlich auch als „Puffer“ („Buffer“) bezeichnet, siehe Abs. [0054] und [0056].

Merkmal 1.4 legt fest, dass das numerische Verhältnis zwischen Datenübertragungsschaltung und Speichervorrichtungen 1:2 beträgt, d.h. eine Datenübertragungsschaltung ist für zwei Speichervorrichtungen zuständig (siehe Merkmal 1.4.4).

Physisch sollen die Datenübertragungsschaltungen entlang des Rands der PCB angeordnet sein und mit dieser wiederum mechanisch – also vorzugsweise durch Verlöten – verbunden sein.

13. Merkmal 1.4.1

wobei die n/2 Datenübertragungsschaltungen dazu konfigurierbar sind, betriebsbereit mit dem Systemspeichercontroller verbunden zu werden

Aus Merkmal 1.4.1 ergibt sich, dass die Datenübertragungsschaltungen eine Verbindung mit dem Systemspeichercontroller (über die Steckkontakte des PCB) herstellen können. Über diese Verbindung werden gewöhnlich die Nutzdaten übertragen, die in der Speichervorrichtung gespeichert bzw. aus dieser ausgelesen werden sollen.

Bildlich gesprochen werden über diese Verbindung die Pakete in das Hochregallager befördert.

14. Merkmal 1.4.2

wobei die $n/2$ Datenübertragungsschaltungen dazu konfigurierbar sind, Modulsteuersignale von der Steuerschaltung zu empfangen

Zusätzlich zu der Verbindung mit dem Systemspeichercontroller (Merkmal 1.4.1) sind die Datenübertragungsmodule auch mit der Steuerschaltung verbunden. Über letztgenannte Verbindung werden die Modulsteuersignale der Steuerschaltung (Merkmal 1.3.1) empfangen, welche die Lese-/Schreiboperationen steuern.

Bildlich gesprochen werden über diese Verbindung die Gabelstapler des Hochregallagers gesteuert.

15. Merkmal 1.4.3

wobei jede der Vielzahl von Datenübertragungsschaltungen eine Bitbreite von 8 Bits hat

Da jede Speichervorrichtung eine Bitbreite von 4 Bits hat und jeweils zwei Speichervorrichtungen an einer Datenübertragungsschaltung „hängen“ (siehe Merkmal 1.4.4), können bei einem Speicherzugriff bis zu 8 Bits gleichzeitig übertragen werden.

Nach Merkmal 1.4.3 ist die Bitbreite der Datenübertragungsschaltungen jeweils mit 8 Bits gewählt. Die von den Speichervorrichtungen ausgelesenen 8 Datenbits können somit verzögerungsfrei auf den Datenbus übertragen werden.

Die geschickte Wahl der Bitbreite der Speichervorrichtungen (4 Bits), der Anzahl der Datenübertragungsschaltungen ($n/2$) und der Bitbreite der Datenübertragungsschaltungen (8 Bits) ermöglicht also einen schnelleren Datentransfer bei gleichbleibender Speicherdichte.

16. Merkmal 1.4.4

wobei jede der Vielzahl von Datenübertragungsschaltungen mit zwei zugehörigen Speichervorrichtungen in jeder der mehreren Reihen verbunden ist

Merkmal 1.4.4 legt fest, dass eine Datenübertragungsschaltung für je zwei Speichervorrichtungen zuständig ist.

17. Merkmal 1.4.5

wobei jede Datenübertragungsschaltung dazu konfigurierbar ist, auf die Modulsteuersignale anzusprechen durch Freigeben von Datenpfaden und durch Treiben von Datensignalen für die Lese- oder Schreiboperation auf den Datenpfaden zwischen dem Systemspeichercontroller und den beiden zugehörigen Speichervorrichtungen in der bestimmten der mehreren Reihen

Wie bereits bei Merkmal 1.4.2 erläutert, empfangen die Datenübertragungsschaltungen die Modulsteuersignale der Steuerschaltung.

Diese Modulsteuersignale bewirken in einer Datenübertragungsschaltung, dass Lese- oder Schreiboperationen in den beiden zugeordneten Speichervorrichtungen durchgeführt werden, und die entsprechenden Daten auf Datenpfaden von oder zu dem Systemspeichercontroller übertragen werden. Die Datenpfade werden durch die Datenübertragungsschaltungen entsprechend den Modulsteuersignalen freigegeben.

18. Merkmal 1.5

wobei das Speichermodul des Weiteren Column Address Strobe (CAS)-Latenz bzw. Speicherlatenz verwendet, um die Operation der $n/2$ Datenübertragungsschaltungen zu steuern

Nach Merkmal 1.5 verwendet das Speichermodul eine CAS-Latenz, um die Operation der $n/2$ Datenübertragungsschaltungen zu steuern.

CAS-Latenz bezeichnet die Zeitspanne zwischen dem Zeitpunkt der Übermittlung des Zugriffswunsches des Speichercontrollers an das Speichermodul, und dem Zeitpunkt, in dem sich die Daten am Ausgangspin der adressierten Speichervorrichtung befinden; siehe Absatz [0061].

Erst wenn die Daten am Ausgangspin liegen, können sie von den Datenübertragungsschaltungen eingelesen und übertragen werden.

Um diesen Effekt zu berücksichtigen, wird erfindungsgemäß die CAS-Latenz zur Steuerung der Datenübertragungsschaltungen verwendet.

C. Zur Verletzung des Klagegebrauchsmusters

I. Verletzungsform

Mit der vorliegenden Klage werden Ansprüche wegen Verletzung des Gebrauchsmusters der Klägerin DE 20 2010 018 501 U1 durch von der Beklagten zu 1) in Korea

hergestellte Speichermodule (load-reduce dual in-line memory modules, kurz LRDIMM) geltend gemacht. Diese Speichermodule werden von der Beklagten zu 2) unter ihrer eigenen Marke und mit eigenen Produktnummern in Deutschland für die Server-Produkte der Beklagten zu 1) angeboten. Im Einzelnen handelt es sich um folgende Produkte:

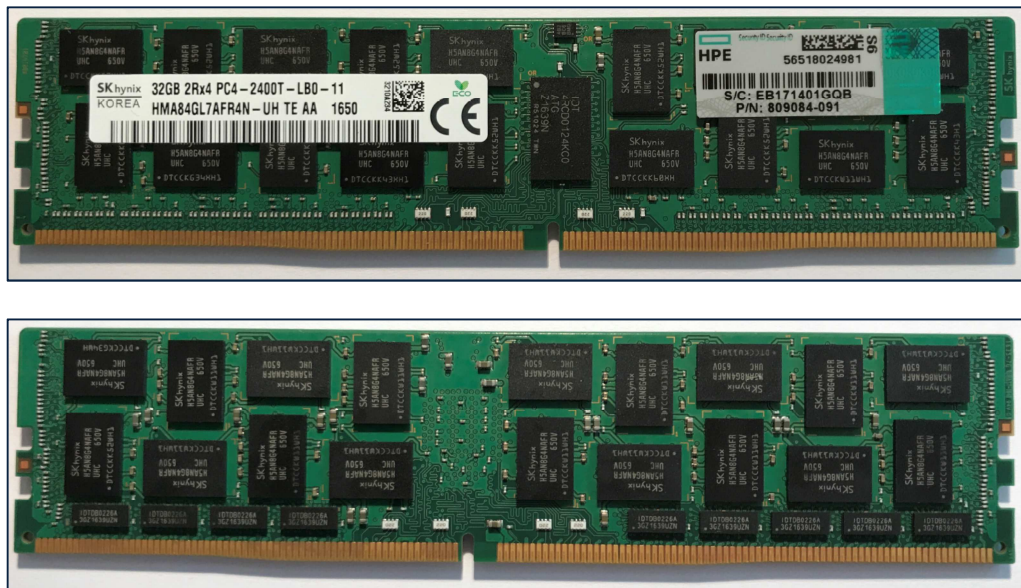
Produktbezeichnung SK hynix	Speicher	Reihen („ranks“)	Produktbezeichnung HPE
HMA42GL7AFR4N	16GB	2	HP 16 GB RAM DDR4 PC4-17000 2133 MHz
HMA84GL7AMR4N	32GB	4	HP 32 GB RAM DDR4 PC4-17000 2133 MHz
HMA42GL7MFR4N	16GB	2	HP 16 GB RAM DDR4 PC4-17000 2133 MHz
HMA84GL7MMR4N	32GB	4	HP 32 GB RAM DDR4 PC4-17000 2133 MHz
HMA84GL7AFR4N	32GB	2	HP 32 GB RAM DDR4 PC4-19200 2400 MHz
HMAA8GL7AMR4N	64GB	4	HP 64 GB RAM DDR4 PC4-19200 2400 MHz
HMA84GL7MFR4N	32GB	2	HP 32 GB RAM DDR4 PC4-19200 2400 MHz
HMAA8GL7MMR4N	64GB	4	HP 64 GB RAM DDR4 PC4-19200 2400 MHz

Die oben genannten Speichermodule werden im Folgenden als „angegriffene Ausführungsformen“ bezeichnet.

Die angegriffenen Ausführungsformen werden nachfolgend exemplarisch anhand des Models HMA84GL7AFR4N-UH (32 GB DDR 4 SDRAM Load Reduced DIMM [LRDIMM]) dargestellt. Dieses Model hat 2 Reihen (Ranks) von Speichervorrichtungen. Diese beispielhafte angegriffene Ausführungsform wird nachfolgend kurz als „SK hynix LRDIMM“ bezeichnet. Soweit es hinsichtlich der Verletzung erhebliche

Unterschiede zwischen den 2-Reihen- und 4-Reihen-Speichermodulen gibt, wird nachfolgend explizit darauf hingewiesen.

Die Vorder- und Rückseite des HMA84GL7AFR4N-UH haben folgendes Aussehen:



Wie auf dem ersten Bild deutlich zu erkennen ist, sind auf dem SK hynix LRDIMM sowohl das Typenschild der Beklagten zu 1) als auch das Typenschild des Konzerns der Beklagten zu 2) aufgeklebt.

II. Verletzungshandlungen

1. Beklagte zu 1)

Die Beklagte zu 1) stellt die angegriffenen Ausführungsformen als sog. „white label Produkte“ (also ohne Nennung der Marke eines OEM) in Korea her.

Beweis: Ausdruck der Seite <https://www.skhynix.com/products.do?lang=eng&ct1=36&ct2=42&ct3=&rk=30&sk=LD#>

- Anlage K 9 -

Auf der oben genannten Produktseite <https://www.skhynix.com/products.do?lang=eng&ct1=36&ct2=42&ct3=&rk=30&sk=LD#> befindet sich auch ein Menüpunkt „Distributor“. Bei Anklicken dieses Menüpunktes öffnet sich eine Länderauswahlseite, auf der insbesondere auch „Germany“ als Auswahlmöglichkeit genannt ist. Bei Anklicken von „Germany“ öffnet sich eine Liste von offiziellen Vertriebspartnern der Beklagten zu 1) in Deutschland.

Beweis: Ausdruck der Seite
<https://www.skhynix.com/eng/support/distributor.jsp>

- Anlage K 10 -

Somit bietet die Beklagte zu 1) die angegriffenen Ausführungsformen in Deutschland an, bringt diese in Deutschland in den Verkehr und führt sie zu diesem Zweck ein.

2. Beklagte zu 2)

Die Beklagte zu 2) ist ausweislich des Impressums Diensteanbieter der deutschsprachigen Internetpräsentation unter der Domain [hpe.com/de](https://www.hpe.com/de).

Beweis: Ausdruck der Seite
<https://www.hpe.com/de/de/about/impressum.html>

- Anlage K 11 -

Auf dieser Seite können die angegriffenen Ausführungsformen beispielsweise über ihre HPE-Produktnummer gefunden werden.

Beweis: Ausdruck der Seite http://h20564.www2.hpe.com/hpsc/doc/public/display?docId=emr_na-c00317878&lang=de-ch&cc=ch

- Anlage K 12 -

Auf der Seite der Beklagten zu 2) sind unter dem Menüpunkt „Kaufen“ zudem verschiedene Möglichkeiten aufgelistet, wo und wie die Produkte der Beklagten zu 2) erworben werden können.

Beweis: Ausdruck der Seite <https://www.hpe.com/de/de/buy-parts-products.html>

- Anlage K 13 -

Der Menüpunkt „Reseller suchen“ führt zu der Unterseite <https://findapartner.hpe.com/>, über die es möglich ist, Vertriebspartner in Deutschland zu finden („Find a Partner“). Wird in dem Auswahlfeld „Country“ „Deutschland“ gewählt, so ist insoweit unter anderem die Firma Cancom gelistet. Die Klägerin hat bei der Firma Cancom unter Bezugnahme auf die Website der Beklagten zu 2) eine Auswahl der angegriffenen Ausführungsformen als Testkauf erwerben lassen.

Beweis: Kopie der Auftragsbestätigung Nr. 14631875-4 der Firma Cancom

- Anlage K 14 -

Die im Rahmen dieses Testkaufs gelieferten Speichermodule sind ausweislich der Verpackung, der Aufkleber auf den Speichermodulen und der Gravur auf den Chips von der Beklagten zu 1) hergestellt worden. Rein exemplarisch verweisen wir insoweit erneut auf die Abbildung des erworbenen SK hynix LRDIMM:



Somit bietet die Beklagte zu 2) die angegriffenen Ausführungsformen in Deutschland an, bringt diese in Deutschland in den Verkehr und führt sie zu diesem Zweck ein.

III. Unmittelbare Verletzung von Anspruch 1

1. Merkmal 1

Speichermodul zur Verwendung in einem Computersystem, das einen Systemspeichercontroller aufweist

Bei dem SK hynix LRDIMM handelt es sich ausweislich des Produktdatenblatts (herunterladbar unter <https://www.skhynix.com/product/filedata/fileDownload.do?seq=7031>) um ein Speichermodul, das als Hauptspeicher in Systemen wie Servern oder Workstations vorgesehen ist. Das SK hynix LRDIMM ist damit zur Verwendung in einem Computersystem vorgesehen:



Description

SK hynix Load Reduced DDR4 SDRAM DIMMs are low power, high-speed operation memory modules that use DDR4 SDRAM devices. These Load Reduced DIMMs are intended for use as main memory when installed in systems such as servers and workstations.

Features

- 288 pin Load Reduced DDR4 DRAM Dual In-Line Memory Modules
- Buffer performance by LRDIMM presenting less load to system

(SK hynix LRDIMM Produktdatenblatt, Seite 3, Abschnitte „Description“ und „Features“)

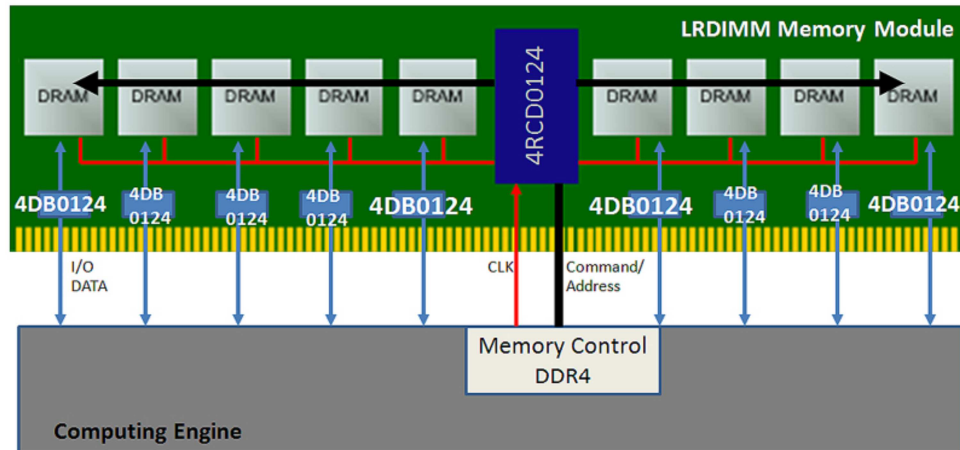
Beweis: Ausdruck des Produktdatenblatts des SK hynix LRDIMM, herunterladbar unter <https://www.skhynix.com/product/filedata/fileDownload.do?seq=7031>

- Anlage K 15 -

Der im oben genannten Produktdatenblatt genannte Server oder die Workstation verwendet dabei einen Systemspeichercontroller, um mit dem SK hynix LRDIMM zu kommunizieren.

Beweis: Sachverständigengutachten

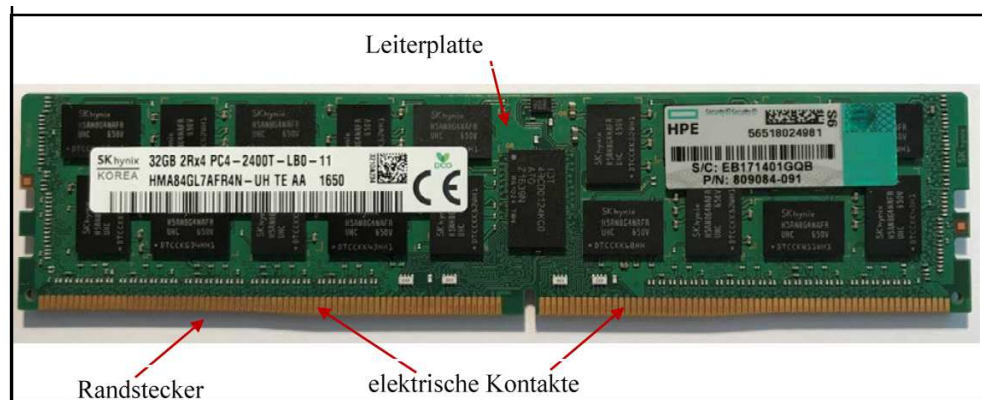
Rein illustrativ wird insoweit auf nachfolgende, unter https://www.idt.com/sites/default/files/ddr4-databuffer-4db0124-block-diagram_0.jpg abrufbare Abbildung der Firma IDT verwiesen (IDT ist der Hersteller des Steuerschaltungs des PCB, siehe Merkmal 1.3). Diese Abbildung zeigt, dass ein Computersystem („Computing Engine“) mit einem Systemspeichercontroller („MemoryControl DDR4“) mit einem LRDIMM Speichermodul („LRDIMM Memory Module“) kommuniziert. Diese Art der Verwendung und Einsatzes von Speichermodulen gilt allgemein, so auch für das SK hynix LRDIMM:



2. Merkmal 1.1

einer gedruckten Leiterplatte bzw. Printed Circuit Board (PCB), die in einem Modulschlitze des Computersystems anbringbar ist

Die Verwirklichung von Merkmal 1.1 ergibt sich unmittelbar aus der nachfolgend eingeblendeten Abbildung des SK hynix LRDIMM:



Das SK hynix LRDIMM ist dazu vorgesehen, in einem Computersystem verwendet zu werden. Der Einsatz bzw. das Einsetzen des SK hynix LRDIMM in dem Computersystem erfolgt dadurch, dass das SK hynix LRDIMM und damit die gedruckte Leiterplatte in einen entsprechenden Modulschlitze des Computersystems eingesetzt wird.

Beweis: Sachverständigengutachten

3. Merkmal 1.1.1

wobei die PCB einen Randstecker hat, der eine Vielzahl elektrischer Kontakte aufweist, die an einem Rand der PCB positioniert und dazu positioniert sind, lösbar mit korrespondierenden Kontakten eines Computersystem-Sockels verbunden zu werden, um elektrische Leitfähigkeit zwischen dem Systemspeichercontroller und dem Speichermodul bereitzustellen

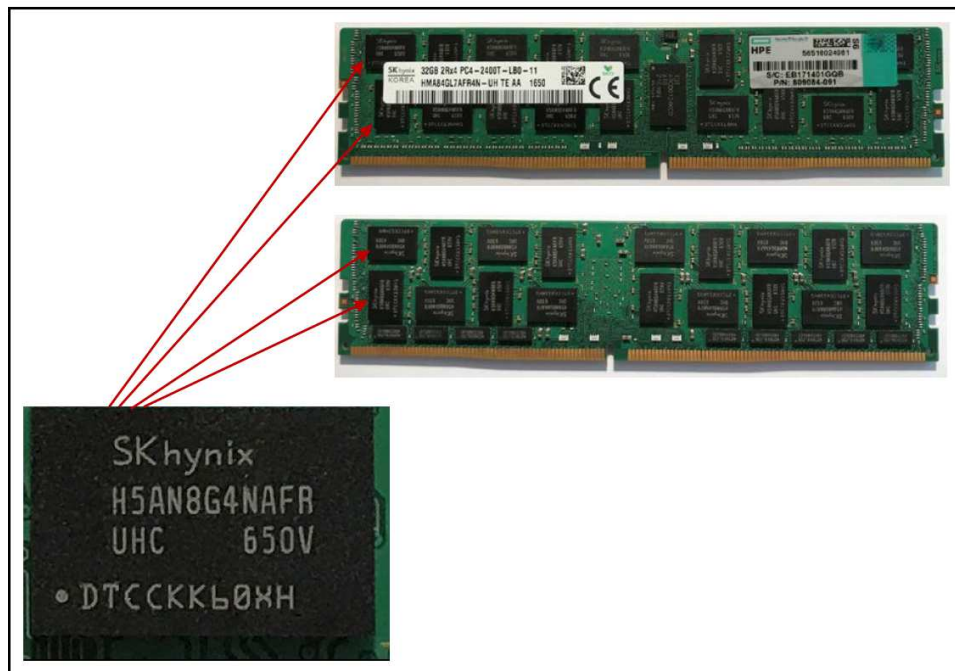
Hinsichtlich Merkmal 1.1.1 wird erneut auf die obige Abbildung des SK hynix LRDIMM verwiesen. Wie dort ersichtlich, hat das SK hynix LRDIMM einen Randstecker mit elektrischen Steckkontakten. Der Randstecker kann in einen Modulschlitz eines Computersystems eingesteckt werden. Durch das Einsetzen des SK hynix LRDIMM in den Modulschlitz wird eine Verbindung zwischen den elektrischen Kontakten des SK hynix LRDIMM mit dem entsprechenden Sockel des Computersystems hergestellt. Die elektrischen Kontakte sind metallisch; damit wird eine elektrische Leitfähigkeit zwischen dem Systemspeichercontroller des Computersystems und dem SK hynix LRDIMM bereitgestellt.

Beweis: Sachverständigengutachten

4. Merkmal 1.2

Speichervorrichtungen

Das SK hynix LRDIMM umfasst insgesamt 36 SK hynix H5AN8G4NAFR Chips, die auf der Leiterplatte (PCB) angeordnet sind, wie aus der nachfolgenden Einblendung zu entnehmen ist:



Bei den H5AN8G4NAFR Chips handelt es sich um DDR 4 SDRAM Speichervorrichtungen. Dies ergibt sich aus dem Produktdatenblatt des SK hynix H5AN8G4NAFR Chips (herunterladbar unter <https://www.skhynix.com/product/filedata/fileDownload.do?seq=7213>):



Description

The **H5AN8G4NAFR-xxC**, H5AN8G8NAFR-xxC and H5AN8G6NAFR-xxC and H5AN8G8NAFR-xxI and H5AN8G6NAFR-xxI are a 8Gb CMOS Double Data Rate IV (DDR4) Synchronous DRAM, ideally suited for the main memory applications which requires large memory density and high bandwidth. SK hynix 8Gb DDR4 SDRAMs offer fully synchronous operations referenced to both rising and falling edges of the clock. While all addresses and control inputs are latched on the rising edges of the CK (falling edges of the CK), Data, Data strobes and Write data masks inputs are sampled on both rising and falling edges of it. The data paths are internally pipelined and 8-bit prefetched to achieve very high bandwidth.

Beweis: Produktdatenblatt des SK hynix H5AN8G4NAFR Chips, herunterladbar unter <https://www.skhynix.com/product/filedata/fileDownload.do?seq=7213>

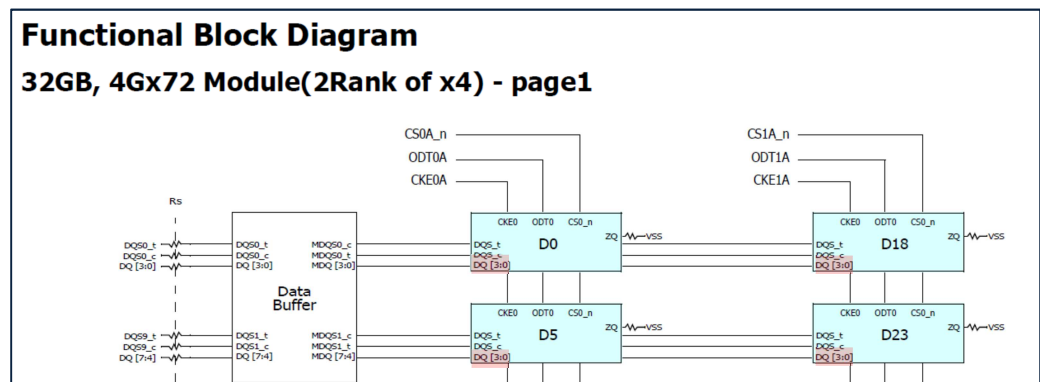
- Anlage K 16 -

5. Merkmal 1.2.1

Speichervorrichtungen,

die jeweils eine Bitbreite von 4 Bits haben

Jeder H5AN8G4NAFR Chip hat eine Bitbreite von 4 Bits. Wie aus dem SK hynix LRDIMM Produktdatenblatt, Anlage K 15, Seiten 11 und 12 hervorgeht (ausschnittsweise nachfolgend eingeblendet), verfügt jeder der H5AN8G4NAFR Chips D0–D35 (Speichervorrichtungen) u.a. über einen Eingang für die Signale DQ[3:0].



Dabei handelt es sich um die Breite des Datenbusses. Jeder H5AN8G4NAFR Chip kann daher gleichzeitig Datenbits 0 bis 3, also insgesamt 4 Bits empfangen. Bei jedem der H5AN8G4NAFR Chips des SK hynix LRDIMM handelt es sich daher um eine Speichervorrichtung mit einer Bitbreite von 4 Bits.

Beweis: Sachverständigengutachten

6. Merkmal 1.2.2

wobei die Speichervorrichtungen mechanisch mit der PCB verbunden sind

Wie aus der oben gezeigten Abbildung des SK hynix LRDIMM ersichtlich, ist eine mechanische (Löt-)Verbindung zwischen den H5AN8G4NAFR Chips und der Leiterplatte vorhanden.

Beweis: Sachverständigengutachten

7. Merkmal 1.2.3

wobei die Speichervorrichtungen in mehreren Reihen mit n Speichervorrichtungen pro Reihe angeordnet sind

Das SK hynix LRDIMM weist zwei Reihen („ranks“) mit jeweils $n = 18$ H5AN8G4NAFR Chips auf (36 Chips geteilt durch 2 Reihen). Dies wird in dem

SK hynix LRDIMM Produktdatenblatt, Anlage K 15, Seite 3, Abschnitt „Ordering Information“ explizit erwähnt:

Ordering Information				
Part Number	Density	Organization	Component Composition	# of ranks
HMA84GL7AFR4N-TF/UH/VK	32GB	4Gx72	2Gx4(H5AN8G4NAFR)*36	2
HMAA8GL7AMR4N-TF/UH/VK	64GB	8Gx72	DDP 4Gx4(H5ANAG4NAMR)*36	4

Beweis: Sachverständigengutachten

8. Merkmal 1.2.3.1

wobei jede Reihe eine Bitbreite hat, die gleich einer Bitbreite des Speichermoduls ist

Die Bitbreite einer Reihe ergibt sich aus der Summe der Bitbreiten der Speichervorrichtungen in einer Reihe. Nachdem jeder H5AN8G4NAFR Chip (Speichermodule) eine Bitbreite von 4 Bits aufweist, hat eine Reihe, die n = 18 solcher Chips aufweist, eine Bitbreite von $18 \cdot 4 \text{ Bits} = 72 \text{ Bits}$.

72 Bits ist zugleich die Bitbreite des SK hynix LRDIMM. Dies wird ebenfalls in dem SK hynix LRDIMM Produktdatenblatt, Anlage K 15, Seite 3, Abschnitt „Ordering Information“ explizit erwähnt:

Ordering Information				
Part Number	Density	Organization	Component Composition	# of ranks
HMA84GL7AFR4N-TF/UH/VK	32GB	4Gx72	2Gx4(H5AN8G4NAFR)*36	2
HMAA8GL7AMR4N-TF/UH/VK	64GB	8Gx72	DDP 4Gx4(H5ANAG4NAMR)*36	4

Beweis: Sachverständigengutachten

Für die 4-Reihen-Speichermodule unter den angegriffenen Ausführungsformen ergibt sich nichts anderes. Beispielhaft wird insoweit auf das in der vorstehenden Tabelle erwähnte Speichermodule HMAA8GL7AMR4N verwiesen. In diesem Fall weist das Speichermodule ebenfalls 36 SDRAM-Bauteile auf. Jedes dieser Bauteile umfasst zwei Speicher-Chips. Also umfasst das Speichermodule insgesamt $2 \cdot 36 = 72$ Speichervorrichtungen. Pro Reihe entfallen daher

$72/4 = 18$ Speichervorrichtungen. Jede Speichervorrichtung hat (wie im Fall der 2-Reihen-Speichermodule) eine Bitbreite von 4 Bits. Die Bitbreite jeder Reihe ist damit $4 \cdot 18 = 72$, was wiederum der Bitbreite des Speichermoduls entspricht.

Beweis: Sachverständigengutachten

9. Merkmal 1.3

einer Steuerschaltung, die mechanisch mit der PCB verbunden und über registrierte Steuerleitungen betriebsbereit mit den Speichervorrichtungen verbunden ist

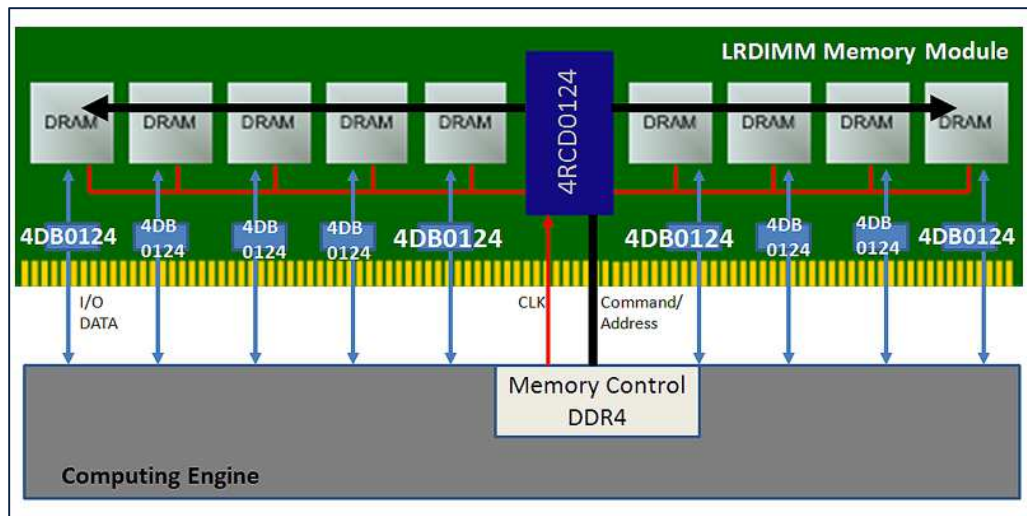
Das SK hynix LRDIMM umfasst einen 4RCD0124K Register Clock Driver (RCD) des Herstellers IDT. Dieser ist in der nachfolgenden Abbildung dargestellt:



Wie aus dieser Abbildung ersichtlich, ist der RCD in die Platine eingesetzt, also mit ihr mechanisch (durch Lötverbindungen) verbunden.

Beweis: Sachverständigengutachten

Der RCD kann Steuersignale vom Systemspeichercontroller erhalten, und der RCD ist mit den Speichervorrichtungen verbunden. Rein illustrativ verweisen wir erneut auf folgende, unter https://www.idt.com/sites/default/files/ddr4-databuffer-4db0124-block-diagram_0.jpg abrufbare schematische Darstellung des Herstellers des RCD, der Firma IDT:



Beweis: Sachverständigengutachten

Bei den Leitungen, die den RCD mit den Speichervorrichtungen verbinden, handelt es sich darüber hinaus um registrierte Steuerleitungen, denn der RCD weist – wie üblich – auch ein Register auf. Dies ergibt sich daraus, dass der RCD konform ist mit dem JEDEC DDR4RCD01 Standard (JESD82-31) der JEDEC Solid State Technology Association. Letzteres ergibt sich wiederum aus dem nachfolgend eingeblendeten Ausschnitt aus der Produktübersicht des im SK hynix LRDIMM verbauten RCDs des Herstellers IDT:

BENEFITS • All devices are JEDEC® compliant and meet stringent requirements for reliability and application compliance • Up to 35% DDR4 power savings compared to DDR3	Through flexible I/O control, timing and voltage calibration, and control register programmability, the IDT DDR4 Registered Clock Driver (4RCD0124) and Data Buffer (4DB0226) enable faster data rates at higher densities on all JEDEC® defined DDR4 LRDIMM and RDIMM topologies. DIMM topology configuration and DRAM information is stored in IDT's Temperature Sensor EEPROM (TSE2004).
---	--

Der erwähnte Standard JEDEC DDR4RCD01 legt fest:

2 Device standard

2.1 Description

This 32-bit 1:2 registering clock driver with parity is designed for 1.2 V VDD operation.

All inputs are pseudo-differential with an external or internal voltage reference. All outputs are full swing CMOS drivers optimized to drive single terminated 25...50 Ω traces in DDR4 RDIMM and LRDIMM applications. The clock outputs Yn_t and Yn_c and control net outputs QxCKEn, QxCsN and QxODTn can be driven with a different strength to compensate for different DIMM net topologies. By disabling unused outputs the power consumption is reduced.

The DDR4RCD01 operates from a differential clock (CK_t/CK_c). Inputs are registered at the crossing of CK_t going HIGH, and CK_c going LOW. The input signals could be either re-driven to the outputs or they could be used to access device internal control registers when certain input conditions are met. The control word mechanism is described in more detail in 2.18.2. Control Word Decoding.

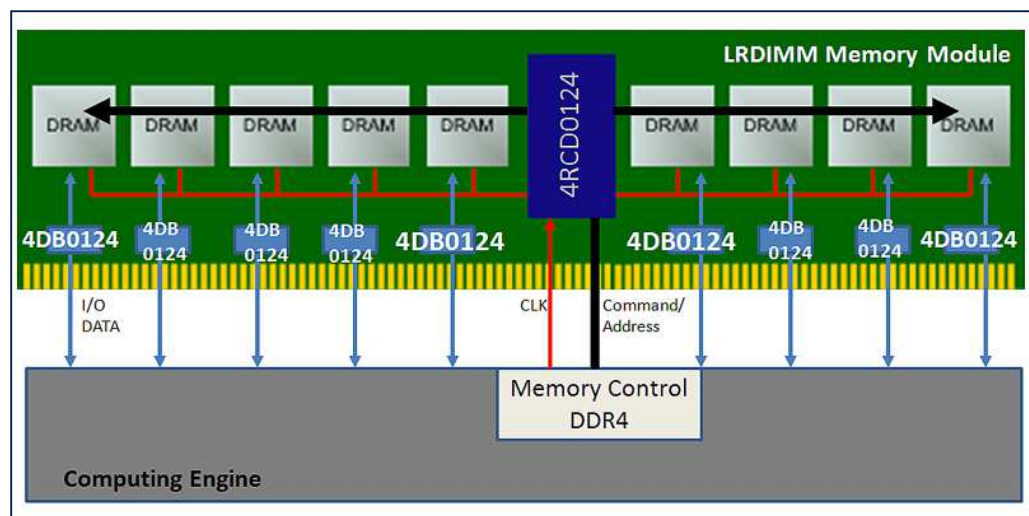
Der RCD, also die merkmalsgemäße Steuerschaltung, muss somit gemäß dem Standard JEDEC DDR4RCD01 ein internes Register für die Steuerleitungen umfassen. Bei den Steuerleitungen zwischen dem RCD und den besagten Speichervorrichtungen handelt es sich damit um registrierte Steuerleitungen.

Beweis: Sachverständigengutachten

10. Merkmal 1.3.1

wobei die Steuerschaltung dazu konfigurierbar ist, Steuersignale für eine Lese- oder Schreiboperation, die von dem Speichercontroller empfangen werden, zu registrieren und Modulsteuersignale zu erzeugen

Wie sich aus der unten nochmals wiedergegebenen Darstellung des Herstellers des RCD, der Firma IDT, ergibt, schickt der Memory Control DDR4, also der anspruchsgemäße Systemspeichercontroller, u.a. Befehle („Commands“) an den RCD, also die Steuerschaltung:



Bei diesen Befehlen handelt es sich u.a. um Steuersignale für Lese- und Schreiboperationen. Dies ergibt sich zunächst aus dem folgenden Schaltbild für den RCD, das in dem JEDEC DDR4RCD01 Standard abgedruckt ist:

2.17 Logic diagram

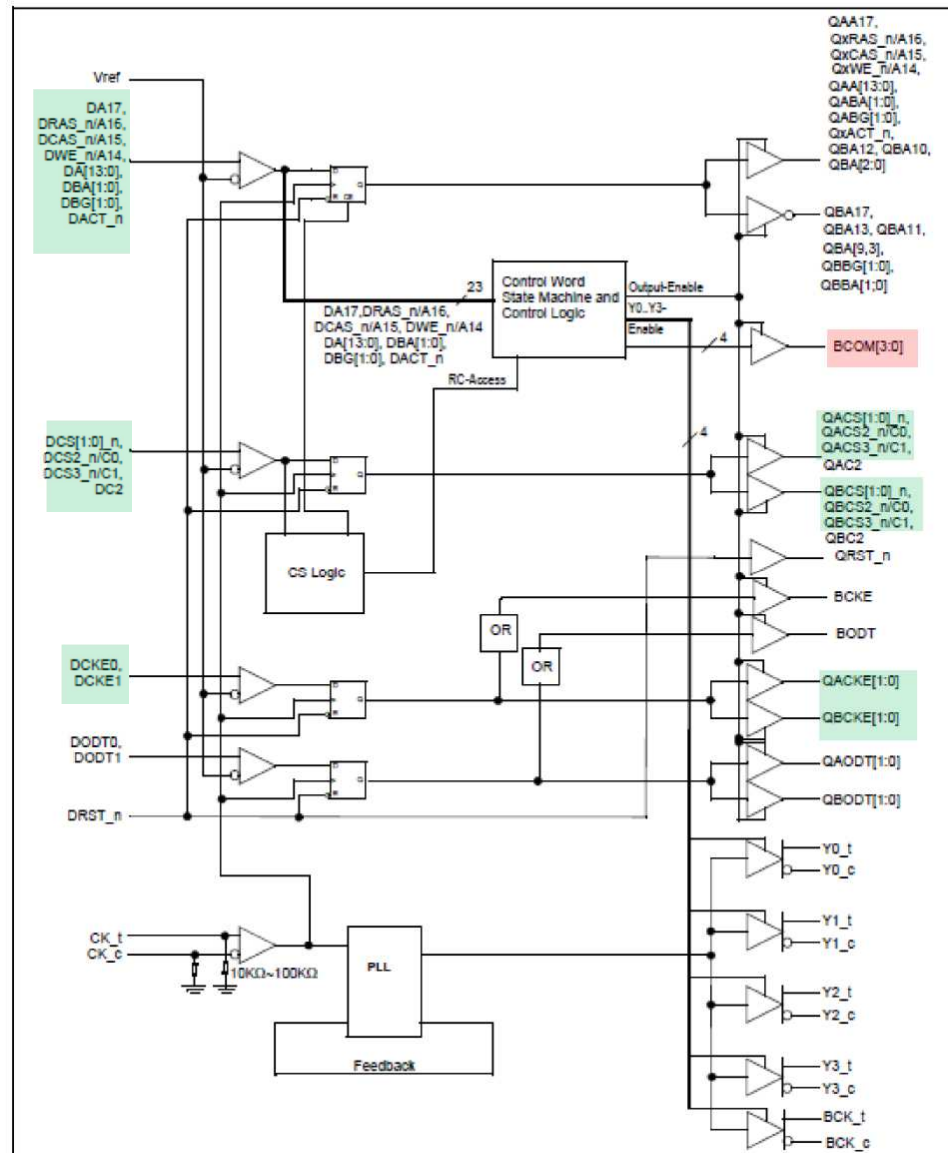


Figure 24 — Logic diagram (positive logic)

Bei dem in der obigen Abbildung rot unterlegten Ausgang für das Signal „BCOM[3:0]“ handelt es sich um einen Steuerungs-Bus des RCD zu den Datenpuffern (s. dazu Merkmalsgruppe 1.4). Damit handelt es sich bei BCOM[3:0] um ein Modulsteuersignal. Über besagten Ausgang können Modulsteuersignale für eine Lese- oder Schreiboperation übertragen werden. Dies ergibt sich aus der nachstehend eingeblendeten Tabelle aus des JEDEC DDR4RCD01 Standards:

2.5.3 Control Bus Commands

2.5.3.1 Command List

Table 6 — Data Buffer Control Bus Command Table

Command	Description	BCOM[3:0] Encoding
WR	Write BC4 or BC8 (fixed or on the fly) or BC10 (with CRC enabled) and send accessed rank ID and BL information in the next command time slot, followed by parity in the last command time slot.	1000
RD	Read BC4 or BC8 (fixed or on the fly) and send accessed rank ID and BL information for regular reads or MPR number for MPR override reads in the next command time slot, followed by parity in the last command time slot.	1001
MRS Write	Send MRS Write bits snooped by DDR4 Register and the MRS ID in the following six command time slots, followed by parity in the last command time slot.	1011
BCW Write	Write buffer control word data in the next five command slots, followed by parity in the last command time slot.	1100
BCW Read	Read buffer control word address in the four command slots, followed by parity in the last command time slot.	1101
RFU ¹	Reserved for future use	1110
RFU ¹	Reserved for future use	1111
NOP	Idle, do nothing	1010

NOTE 1 RFU commands are treated as NOP commands for command sequence error detection

Je nachdem, auf welchen Wert das Modulsteuersignal BCOM[3:0] gesetzt wird, kann ein Lesebefehl („WR“, „BCW Write“) oder Schreibbefehl („RD“, „BCW Read“) an einen Datenpuffer gesendet werden. Das Setzen des Wertes von BCOM[3:0] erfolgt in Reaktion auf die entsprechenden Steuersignale für eine Lese- oder Schreiboperation, die vom (System-)Speichercontroller empfangen wurden. Dies folgt aus dem nachfolgend eingeblendeten Ausschnitt aus Abschnitt 2.18, 1. und 2. Absatz, des JEDEC DDR4RCD01 Standard in Verbindung mit dem „Logic diagram“ aus Abschnitt 2.17 (insbesondere grüne Unterlegung links):

2.18 Control Words

The device features a set of control words, which allow the optimization of the device properties for different raw card designs. DDR4RCD01 control word (RCW) writes appear like DRAM MRS commands to MR7 which are ignored by the DDR4 DRAM. Each RCW write generates an MRS command to the rank 0 DRAMs behind the register, unless there is a parity error when parity checking is enabled, in which case both the RCW write as well as the MRS command to the DRAM are blocked. The different control words and settings are described below. Any change to these control words require some time for the device to settle. For changes to the control word setting, except for RC02 (DA3) and RC0A/RC3x, the controller needs to wait t_{MRD} after the last control word access, before further access to the DRAM can take place. For any changes to the clock timing (RC02: bit DA3, and RC0A/RC3x) this settling may take up to t_{STAB} time. All chip select inputs, DCS[n:0]_n, must be kept HIGH during that time.

The DDR4RCD01 allocates decoding for up to 16 4-bit words of control bits (RC00 through RC0F) and up to 15 8-bit words of control bits. Selection of each word of 4-bit control bits is presented on inputs DA4 through DA12. Data to be written into the 4-bit configuration registers need to be presented on DA0 .. DA3. Selection of each word of 8-bit control bits is presented on inputs DA8 through DA12. Data to be written into the 8-bit configuration registers need to be presented on DA0 .. DA7. Bits DA[16:14] must be LOW and at least one DCKEn input must be HIGH for a valid access. If register CKE power down feature is disabled, DCKEn inputs are don't care (either HIGH or LOW), and are forwarded to the QxCKEn outputs. The DODT[1:0] inputs are also don't care (can be either HIGH or LOW), and are forwarded to the QxODT[1:0] outputs. Address and command parity is checked during control word write operations unless parity is disabled in the Parity Control Word. ALERT_n is asserted and the command is ignored if a parity error is detected.

Bei den in vorstehender Einblendung hervorgehobenen Signalen DA im Speziellen, sowie bei den übrigen in dem oben eingeblendeten „Logic diagram“ links grün unterlegten Signalen handelt es sich um Steuersignale, die vom Systemspeichercontroller empfangen werden, i.S. von Merkmal 1.3.1. Nachdem diese Signale den Wert des Modulsteuersignals BCOM[3:0] bestimmen, das seinerseits Lese- und Schreibbefehle umfasst, handelt es sich bei den links grün unterlegten Signalen um Steuersignale für eine entsprechende Lese- oder Schreiboperation. Die genannten grün unterlegten RCD-Eingangs-Signale werden auch registriert, wie sich bereits aus dem zu Merkmal 1.3 eingeblendeten Ausschnitt aus Abschnitt 2.1 des JEDEC DDR4RCD01 Standards, sowie aus Tabelle 16 aus dem Abschnitt 2.16 (Zeile „Input Address and Command Bus“) ergibt.

Beweis: Sachverständigengutachten

Darüber hinaus erhält der RCD als weitere Steuersignale vom Systemspeichercontroller „chip select“-Signale DCS[1:0]_n, DCS2_n, DCS_3 und „clock enable“-Signale DCKE0, DCKE1 (s. auch grüne Unterlegung links in dem RCD-Schaltplan „Logic diagram“). In Reaktion auf diese Steuersignale erzeugt der RCD u.a. ein „chip select“-(CS)- und „clock enable“-(CKE)-Ausgangs-Signale QACKE, QBCKE bzw. QACS, QBCS (s. auch grüne Unterlegung rechts in dem RCD-Schaltplan „Logic diagram“) für eine bestimmte Reihe, wie sich aus dem folgenden Ausschnitt aus dem JEDEC DDR4RCD01 Standard ergibt:

2.16 Terminal Functions Function Tables

Table 16 — Terminal functions

Signal Group	Signal Name	Type	Description
Output	QACKE0/1, QAODT0/1	CMOS ²	Register output CKE and ODT signals.
Control bus	QBCKE0/1, QBODT0/1	CMOS ²	Register output Chip Select signals.
	QACS0_n..QACS1_n, QBCS0_n..QBCS1_n	CMOS ²	Register output Chip Select signals. These pins initiate DRAM address/command decodes.
	QACS2_n..QACS3_n, QBCS2_n..QBCS3_n	CMOS ²	Some of these have alternative functions: • QxCS2_n $\leftrightarrow$ QxC0 • QxCS3_n $\leftrightarrow$ QxC1
	or QAC0..QAC1, QBC0..QBC1	CMOS ²	Register output Chip ID2 signals.
	QAC2, QBC2	CMOS ²	Register output Chip ID2 signals.

Die von den Speichervorrichtungen D0–D17 (erste Reihe) und D18–D35 (zweite Reihe) empfangenen Signale CS und CKE sind auf Seiten 11 und 12 des SK hynix LRDIMM Produktdatenblatts, Anlage K 15, mit CS0A_n, CS0B_n, CS1A_n, CS1B_n bzw. CKE0A, CKE0B, CKE1A, CKE1B bezeichnet.

Beweis: Sachverständigengutachten

Nachweislich des SK hynix LRDIMM Produktdatenblatts, Anlage K 15, handelt es sich bei den Signalen CS0_n, CS1_n, CS2_n, CS3_n um Befehle, die die Auswahl einer bestimmten Reihe ermöglichen:

Input/Output Functional Descriptions		
Symbol	Type	Function
CK0_t, CK0_c, CK1_t, CK1_c	Input	Clock: CK_t and CK_c are differential clock inputs. All address and control input signals are sampled on the crossing of the positive edge of CK_t and negative edge of CK_c.
CKE0, CKE1	Input	Clock Enable: CKE HIGH activates and CKE LOW deactivates internal clock signals and device input buffers and output drivers. Taking CKE LOW provides Precharge Power-Down and Self-Refresh operation (all banks idle), or Active Power-Down (row Active in any bank). CKE is synchronous for Self-Refresh exit. After VREFCA and Internal DQ Vref have become stable during the power on and initialization sequence, they must be maintained during all operations (including Self-Refresh). CKE must be maintained high throughout read and write accesses. Input buffers, excluding CK_t, CK_c, ODT and CKE, are disabled during power-down. Input buffer, excluding CKE, are disabled during Self-Refresh.
CS0_n, CS1_n, CS2_n, CS3_n	Input	Chip Select: All commands are masked when CS_n is registered HIGH. CS_n provides for external Rank selection. CS_n is considered part of the command code.

Beweis: Sachverständigengutachten

Somit handelt es sich bei dem BCOM- und bei den „chip select“- und „clock enable“-Befehlen um Steuersignale, die von der Steuerschaltung erzeugt werden, damit um Modulsteuersignale i.S.d. Merkmal 1.3.1.

Beweis: Sachverständigengutachten

11. Merkmal 1.3.1.1

wobei die Lese- oder Schreiboperation auf eine bestimmte der mehreren Reihen abzielt

Die oben genannten Lese- und Schreibbefehle, die am RCD in Form des Modulsteuersignals BCOM[3:0] ausgegeben werden, beinhalten ein „rank ID“-Feld, wie aus den folgenden Ausschnitten aus dem JEDEC DDR4RCD01 Standard hervorgeht:

2.5.5.1 Write Commands

Table 7 shows the sequence for write (WR4, WR8) commands. Each write command is followed by a one-cycle transfer that contains the rank ID that selects 1 rank out of 4 that needs to be accessed and the burst length information for the data transfer and the parity bits in the last transfer cycle. The rank ID may be used to make rank-specific adjustments to the timing controls if necessary. If CRC is enabled in the DRAM and in the DB (F4BC2x, DA7), the burst length will always be 10UI.

Table 7 — Multicycle Sequence for Write Commands

Time (clock cycle)	BCOM[3:0]	Description
0	Prev Cmd	Previous command or data transfer
1	WR	Write command BCOM[3:0] = 1000
2	DAT0	Transfer the rank ID for write command BCOM[1:0] = {RANK_ID[1:0]} for DRAM writes Burst length information for Write data BCOM[3:2] = {0, 0} for BC4 BCOM[3:2] = {0, 1} for BC8
3	PAR[3:0]	Even parity bits for WR command and data PAR[x]: Parity bit for previous two BCOM[x] transfers
4	Next Cmd	Next Command

2.5.5.2 Read Commands and MPR Override Reads

Table 8 shows the sequence for read (RD4, RD8) commands. Each read command is followed by a one-cycle transfer that contains the rank ID that selects 1 rank out of 4 that needs to be accessed and the burst length information for the data transfer and the parity bits in the last transfer cycle. The rank ID may be used to make rank-specific adjustments to the timing controls if necessary. The BCOM[2] bit in DAT0 is only valid for on-the-fly burst length. This bit is ignored by the DB if the BL field in the MR0 snoop register is set for fixed burst length of 8 or 4 (A[1:0] = '00' or '10').

Table 8 — Multicycle Sequence for Read Commands

Time (clock cycle)	BCOM[3:0]	Description
0	Prev Cmd	Previous command or data transfer
1	RD	Read command BCOM[3:0] = 1001
2	DAT0	Transfer the rank ID for read command or the MPR selection ID in MPR override read mode BCOM[1:0] = {RANK_ID[1:0]} for DRAM reads BCOM[1:0] = {BA1, BA0} for MPR override reads Burst length information for Read data BCOM[3:2] = {0, 0} for BC4 BCOM[3:2] = {0, 1} for BC8
3	PAR[3:0]	Even parity bits for RD command and data PAR[x]: Parity bit for previous two BCOM[x] transfers
4	Next Cmd	Next Command

Aus diesen Spezifikationen geht hervor, dass mithilfe des „rank ID“-Felds eine Reihe („rank“) von mehreren ausgewählt wird, auf die zugegriffen werden soll.

Beweis: Sachverständigengutachten

Außerdem wurde oben auch gezeigt, dass „chip select“- (CS)- und „clock enable“- (CKE)-Befehle die Auswahl einer bestimmten Reihe erlauben. Die genannten Befehle bzw. die darin enthaltene Information werden, wie zu Merkmal 1.3.1 dargelegt, vom Systemspeichercontroller zum RCD, und von dort aus weiter an die Speichervorrichtungen (Datenpuffer) geleitet.

Daraus folgt zunächst, dass die Lese- und Schreiboperationen auf vermittels „rank ID“- , „CS“- und „CKE“-Befehlen auf eine Reihe beschränkt sind.

Die Modulsteuersignale werden, wie zu Merkmal 1.3.1 dargelegt, als Reaktion auf entsprechende Steuersignale für eine Lese- oder Schreiboperation erzeugt. Die Information hinsichtlich der Beschränkung auf eine bestimmte Reihe muss daher bereits in den besagten Steuersignalen enthalten sein. Nachdem die besagten Steuersignale daher auf eine bestimmte Reihe abzielen, kann für die zugordneten Lese- oder Schreiboperationen nichts anderes gelten.

Somit ist Merkmal 1.3.1.1 erfüllt.

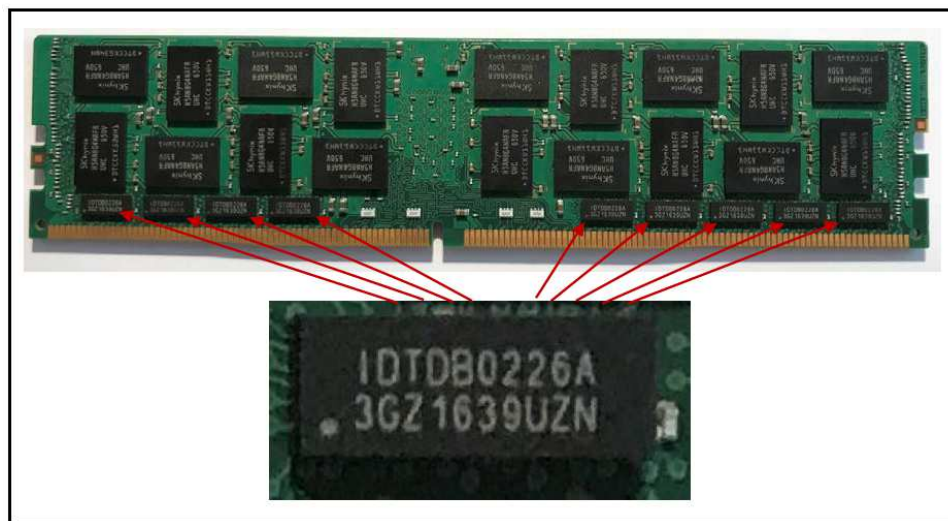
12. Merkmal 1.4

n/2 Datenübertragungsschaltungen, die mechanisch mit der PCB verbunden und an entsprechenden Positionen entlang des Rands der PCB verteilt sind

Das SK hynix LRDIMM umfasst neun DB0226A Data Buffers des Herstellers IDT. Bei diesen Datenpuffern handelt es sich um die Datenübertragungsschaltungen gemäß Merkmal 1.4.

Beweis: Sachverständigengutachten

Die Datenpuffer sind mit der Leiterplatte (PCB) mechanisch (über Lötverbindungen) verbunden. Darüber hinaus sind die Datenpuffer entlang des Rands der Leiterplatte verteilt, wie sich aus der nachstehenden Abbildung ergibt:



Beweis: Sachverständigengutachten

Die Anzahl der Datenpuffer des SK hynix LRDIMM ist neun, was der Hälfte der Anzahl der 18 Speichervorrichtungen (H5AN8G4NAFR Chips) pro Reihe entspricht.

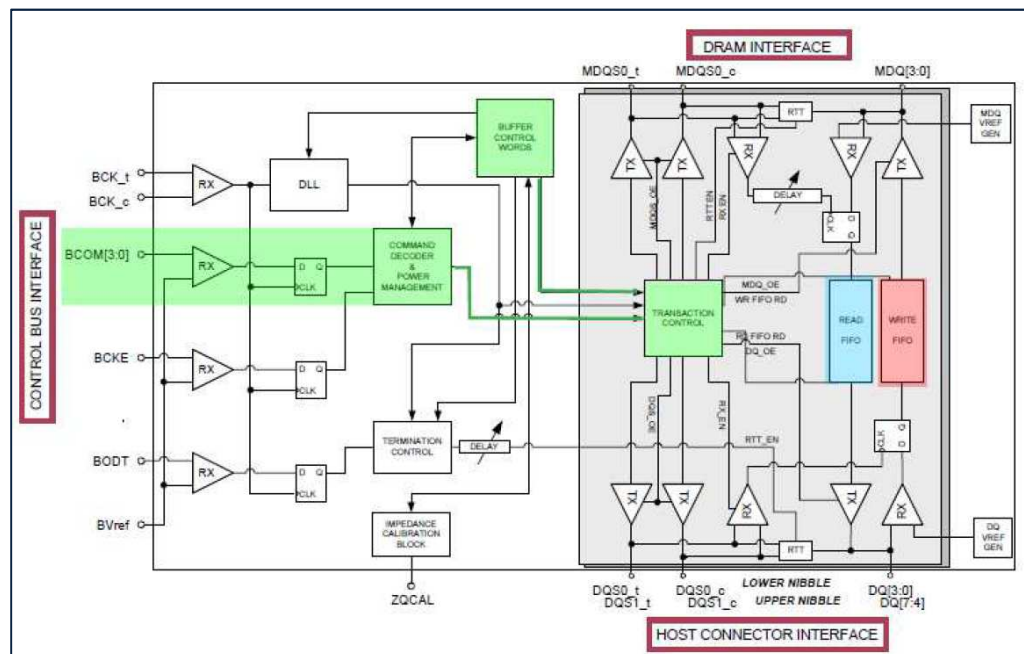
13. Merkmal 1.4.1

wobei die n/2 Datenübertragungsschaltungen dazu konfigurierbar sind, betriebsbereit mit dem Systemspeichercontroller verbunden zu werden

Jeder der 9 DB0226A des Herstellers IDT ist konform mit dem JEDEC DDR4DB01 Standard (JESD82-32) der JEDEC Solid State Technology Association. Dies ergibt sich aus dem nachfolgend eingeblendeten Ausschnitt aus der Produktübersicht des im SK hynix LRDIMM verbauten RCDs des Herstellers IDT:

BENEFITS • All devices are JEDEC® compliant and meet stringent requirements for reliability and application compliance • Up to 35% DDR4 power savings compared to DDR3	Through flexible I/O control, timing and voltage calibration, and control register programmability, the IDT DDR4 Registered Clock Driver (4RCD0124) and Data Buffer (4DB0226) enable faster data rates at higher densities on all JEDEC® defined DDR4 LRDIMM and RDIMM topologies. DIMM topology configuration and DRAM information is stored in IDT's Temperature Sensor EEPROM (TSE2004).
---	--

Der erwähnte Standard JEDEC DDR4RCD01 legt auf S. 73 fest:



(JEDEC DDR4DB01 Standard, Seite 73, Hervorhebungen hinzugefügt)

In dieser Abbildung wird gezeigt, dass der DB0226A einerseits als Eingangssteuersignale die Modulsteuersignale vom RCD (über des Control Bus Interface) erhält, und darüber hinaus Datensignale über das Host Connector Interface vom Systemspeichercontroller empfängt oder an diesen sendet.

Die Daten-Signale vom bzw. an den Systemspeichercontroller sind mit DQ[3:0], DQ[7:4] bezeichnet; siehe auch das SK hynix LRDIMM Produktdatenblatt, Anlage K 15, Seite 7 (s.a. die Signalfade auf Seite 11 und 12 der Anlage K 15):

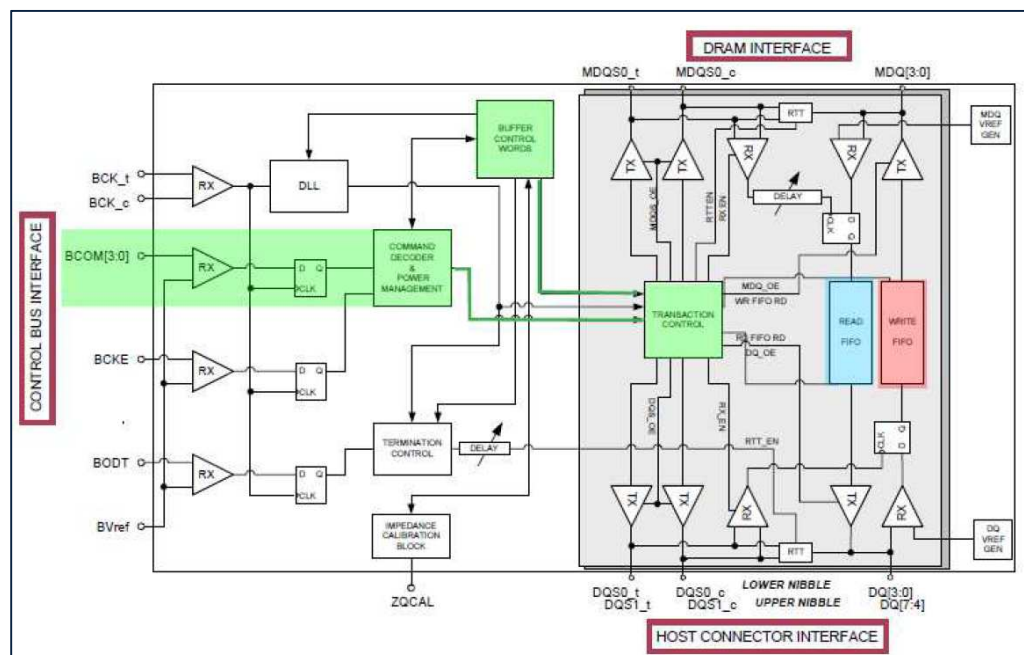
DQ	Input/Output	Data Input/ Output: Bi-directional data bus. If CRC is enabled via Mode register, then CRC code is added at the end of Data Burst. Any DQ from DQ0-DQ3 may indicate the internal Vref level during test via Mode Register Setting MR4 A4=High. Refer to vendor specific data sheets to determine which DQ is used.
----	--------------	--

Beweis: Sachverständigengutachten

14. Merkmal 1.4.2

wobei die $n/2$ Datenübertragungsschaltungen dazu konfigurierbar sind, Modulsteuersignale von der Steuerschaltung zu empfangen

Wie bereits bei Merkmal 1.4.1 erläutert ergibt sich aus dem JEDEC DDR4DB01 Standard, Seite 73, dass der DB0226A Eingangssteuersignale vom RCD (über des Control Bus Interface) erhält. Weiterhin wurde bereits in Bezug auf Merkmal 1.3.1 dargelegt, dass der RCD u.a. den Ausgangsbefehl „BCOM[3:0]“ sendet. Aus dem nachfolgend nochmals wiedergegebenen Auszug aus dem JEDEC DDR4DB01 Standard, Seite 73, wird ersichtlich, dass dieses Signal BCOM[3:0] auch ein Eingangssignal des DB0226A ist:



(JEDEC DDR4DB01 Standard, Seite 73, Hervorhebungen hinzugefügt)

Wie oben in Bezug auf Merkmal 1.3.1 ausführlich erläutert handelt es sich bei dem Befehl „BCOM[3:0]“ um Modulsteuersignale.

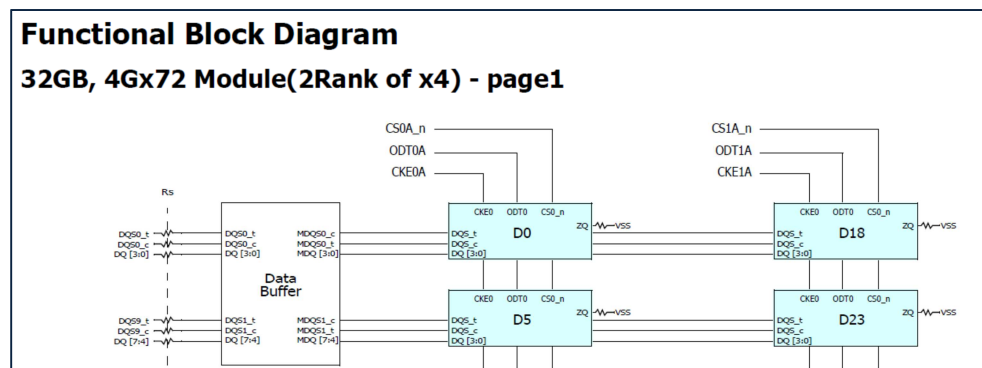
Insgesamt steht somit fest, dass der DB0226A Modulsteuersignale von dem RCD empfängt.

Beweis: Sachverständigengutachten

15. Merkmal 1.4.3

wobei jede der Vielzahl von Datenübertragungsschaltungen eine Bitbreite von 8 Bits hat

Aus dem nachfolgenden Ausschnitt aus dem SK hynix LRDIMM Produktdatenblatts, Anlage K 15, Seite 11, oberer Teilausschnitt, ergibt sich, dass jeder Datenpuffer einen 8 Bit breiten Daten-Bus aufweist:



Dies folgt aus der Angabe der Datenbits DQ[3:0] (4 Bits) und DQ[7:4] (4 Bits), die der Datenpuffer empfangen kann; insgesamt also 8 Bits. Jeder Datenpuffer (d.h. jede Datenübertragungsschaltung) hat somit eine Bitbreite von 8 Bits.

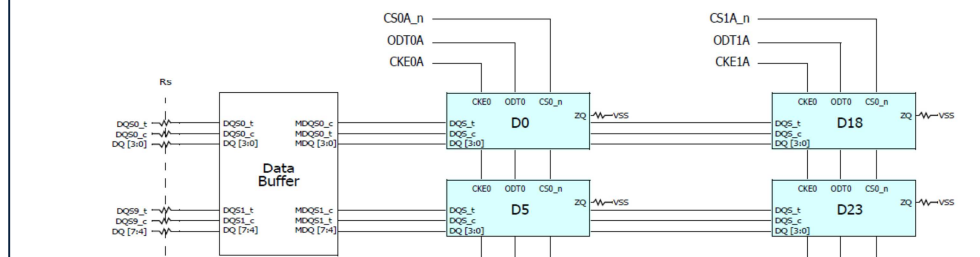
Beweis: Sachverständigengutachten

16. Merkmal 1.4.4

wobei jede der Vielzahl von Datenübertragungsschaltungen mit zwei zugehörigen Speichervorrichtungen in jeder der mehreren Reihen verbunden ist

Aus dem nachfolgenden Ausschnitt aus dem SK hynix LRDIMM Produktdatenblatts, Anlage K 15, Seite 11, oberer Teilausschnitt, ergibt sich zudem, dass jeder Datenpuffer mit zwei zugehörigen Speichervorrichtungen in jeder der mehreren Reihen verbunden ist:

32GB, 4Gx72 Module(2Rank of x4) - page1



Dies folgt unmittelbar aus dem oben eingblendeten Abschnitt (bzw. aus dem vollständigen Schaltplan auf Seiten 11 und 12 des SK hynix LRDIMM Produktdatenblatts). Konkret ist der oben gezeigte Datenpuffer mit den Speichervorrichtungen D0 und D5 aus der ersten Reihe sowie mit den Speichervorrichtungen D18 und D23 aus der zweiten Reihe verbunden.

Beweis: Sachverständigengutachten

17. Merkmal 1.4.5

wobei jede Datenübertragungsschaltung dazu konfigurierbar ist, auf die Modulsteuersignale anzusprechen durch Freigeben von Datenpfaden und durch Treiben von Datensignalen für die Lese- oder Schreiboperation auf den Datenpfaden zwischen dem Systemspeichercontroller und den beiden zugehörigen Speichervorrichtungen in der bestimmten der mehreren Reihen

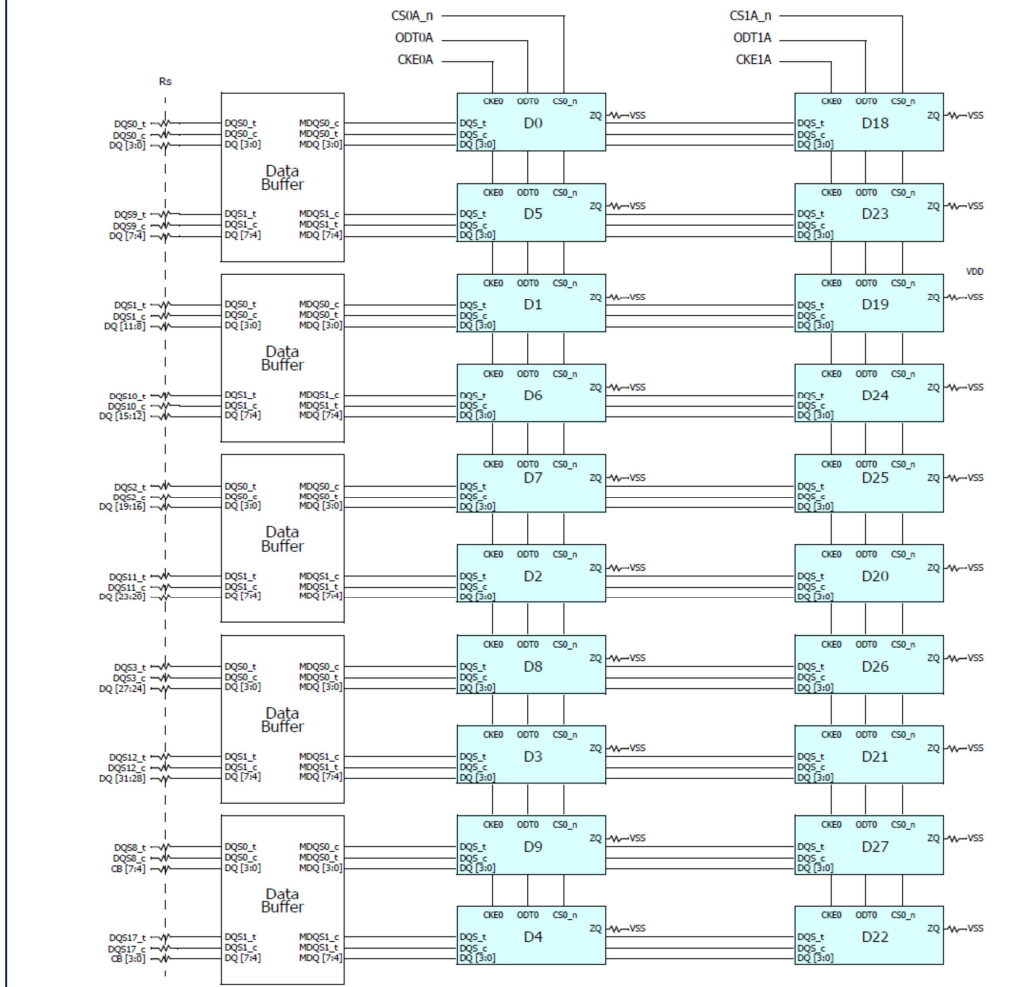
Wie bereits bei Merkmal 1.4.2 empfangen die DB0226A-Bausteine die Modulsteuersignale „BCOM[3:0]“ des RCD.

Diese Modulsteuersignale bewirken in den DB0226A-Bausteinen, dass Lese- oder Schreiboperationen in den zugeordneten H5AN8G4NAFR Chips durchgeführt werden, und die entsprechenden Daten auf Datenpfaden von oder zu dem Speichercontroller übertragen werden. Die Datenpfade werden durch die DB0226A-Bausteine entsprechend den Modulsteuersignalen freigegeben.

Wie aus dem nachfolgend wiedergegebenen Schaubild des SK hynix LRDIMM Produktdatenblatts, Anlage K 15, Seite 11 hervorgeht, ist die Datenübertragungsschaltung (DB0226A-Bausteine, Data Buffer) zwischen die Datenspeicher (D0, D1, D2, D3, etc.) und die Datensignale (DQ) geschaltet:

Functional Block Diagram

32GB, 4Gx72 Module(2Rank of x4) - page1



Beweis: Sachverständigengutachten

Daher kann der Schreibbefehl nur dadurch ausgeführt werden, dass die Daten (DQ) von den Datenübertragungsschaltungen (Datenpuffern) in die entsprechenden Speichervorrichtungen (D0, D1, D2, D3, etc.) geschrieben werden. Die Datenübertragungsschaltung treibt die Datensignale (DQ) für die Schreiboperation auf den Datenpfaden zwischen dem Systemspeichercontroller und bestimmten Speichervorrichtungen, mit denen die Datenübertragungsschaltungen jeweils verbunden sind.

Beweis: Sachverständigengutachten

Jedem Schreibbefehl folgt ein „rank ID“-Feld (Reihenidentifikation), mit dem (zusammen mit dem „chip select“-Befehl, s. oben Merkmal 1.3.1.1) eine der beiden Reihen von Speichervorrichtungen zum Beschreiben ausgewählt werden. Also werden nur die Speichervorrichtungen in einer bestimmten Reihe beschrieben. Die Datenübertragungsvorrichtungen sind jeweils nur mit genau zwei Speichervorrichtungen in einer Reihe verbunden. Also erfolgt die Schreiboperation durch die Datenübertragungsschaltung nur auf den beiden zugehörigen Speichervorrichtungen in der bestimmten Reihe der Speichervorrichtungen.

Beweis: Sachverständigengutachten

Analog hierzu kann mit dem Steuersignal „BCOM[3:0]“ auch ein Lesebefehl an die Datenübertragungsschaltung (Datenpuffer) übertragen werden. Als Reaktion auf den Lesebefehl lesen die Datenübertragungsschaltungen (Datenpuffer) die entsprechenden Daten aus den angeschlossenen Speichervorrichtungen aus und geben sie an den Systemcontroller über den Datenbus (DQ) aus. Der Lesezugriff erfolgt aufgrund des „rank ID“-Befehls und des „chip select“-Signals nur auf die beiden Speichervorrichtungen, die sich in der ausgewählten Reihe befinden und mit der Datenübertragungsschaltung (Datenpuffer) verbunden sind.

Beweis: Sachverständigengutachten

18. Merkmal 1.5

wobei das Speichermodul des Weiteren Column Address Strobe (CAS)-Latenz bzw. Speicherlatenz verwendet, um die Operation der $n/2$ Datenübertragungsschaltungen zu steuern

Wie bereits in Bezug auf Merkmal 1.3.1 erläutert, empfängt die Steuerschaltung u.a. die Steuersignale (Command/Address) von dem Systemspeichercontroller. Unter diesen Steuersignalen befindet sich auch die CAS-Latenz. Dies ergibt sich aus der spezifischen Belegung der Kontakte (sogenannte Pins) der Steuerschaltung. Konkret ist die Belegung der Pins laut dem SK hynix LRDIMM Produktdatenblatt, Anlage K 15, Seite 5 wie folgt definiert.

Pin Descriptions

Pin Name	Description	Pin Name	Description
A0-A17 ¹	SDRAM address bus	SCL	I ² C serial bus clock for SPD-TSE
BA0, BA1	SDRAM bank select	SDA	I ² C serial data line for SPD-TSE
BG0, BG1	SDRAM bank group select	SA0-SA2	I ² C slave address select for SPD-TSE
RAS_n ²	SDRAM row address strobe input	PAR	SDRAM parity input
CAS_n ³	SDRAM column address strobe input	VDD	SDRAM core power supply

Am Pin „CAS-n³“ empfängt das Speichermodul also (input) die “SDRAM column address strobe“ (= CAS) Latenz von dem Systemspeichercontroller.

Beweis: Sachverständigengutachten

Der JEDEC DDR4DB01 Standard erläutert auf Seite 60, dass die RCD (Steuerschaltung) die CAS-Latenz „erschnüffelt“ (snoops) bzw. registriert und an die Datenpuffer überträgt:

2.5.34 F4BC0x .. F4BC6x - MRS Snooped Settings

Upon receiving a DRAM MRS command, the DDR4 RCD snoops relevant bits that are needed by the DB for its operation and sends them to the DB via a MRS Write command over the BCOM bus. The data buffer stores these bit settings in BCW space. The stored snooped MRS settings can be read by means of BCW Read commands. The BCW Write command can be used to program these settings directly and override the results of any prior MRS snooping.

Table 57 — F4BC0x - F4BC6x: MRS Snooped Settings

Control Word	MRS	Control Word Bits			
		DA3/DA7	DA2/DA6	DA1/DA5	DA0/DA4
F4BC0x (DA[3:0])	MR0	Reserved	Reserved	BL (A1, A0)	
F4BC0x (DA[7:4])		CAS Latency (A6, A5, A4, A2)			
F4BC1x (DA[3:0])	MR1	Reserved	Additive Latency (A4, A3)		Reserved
F4BC1x (DA[7:4])		Reserved	Reserved	Reserved	Reserved
F4BC2x (DA[3:0])	MR2	Reserved	CAS Write Latency (A5:A3)		
F4BC2x (DA[7:4])		Write CRC (A12)	Reserved	Reserved	Reserved
F4BC3x (DA[3:0])	MR3	Reserved	Reserved	Geardown Mode (A3)	Reserved
F4BC3x (DA[7:4])		MPR Read Format (A12, A11) ^{1,2}		Reserved	Reserved
F4BC4x (DA[3:0])	MR4	CAL Mode (A8:A6)			Reserved
F4BC4x (DA[7:4])		Write Preamble (A12)	Read Preamble (A11)	Reserved	Reserved
F4BC5x (DA[3:0])	MR5	Reserved	CA Parity Latency (A2:A0)		
F4BC5x (DA[7:4])		Reserved	Reserved	Reserved	Reserved
F4BC6x (DA[3:0])	MR6	Reserved	Reserved	Reserved	Reserved
F4BC6x (DA[7:4])		Reserved	Reserved	Reserved	Reserved

1. These bits only apply to regular MPR override reads, not to the BCW read response which supports only the serial data format.

2. The DDR4DB01 supports two modes in which MPR can be accessed for read. The two modes are serial return and parallel return. There is also an optional staggered return format described in Chapter 2.1.7.3, “Optional MPR Override Read Format for Staggered Returns.”

Insgesamt überträgt daher die Steuerschaltung (RCD) die CAS-Latenz als Steuersignal an die Datenpuffer (= Datenübertragungsschaltungen). Die Datenübertragungsschaltungen werden folglich unter Verwendung der CAS-Latenz gesteuert.

Beweis: Sachverständigengutachten

D. Rechtliche Folgen

I. Ansprüche

Der Klägerin stehen die geltend gemachten Ansprüche gegen die Beklagten wegen schuldhafter Verletzung des Klagegebrauchsmusters zu.

Insbesondere stehen der Klägerin Schadensersatzansprüche nach § 24 Abs. 2 GebrMG in Verbindung mit § 11 GebrMG zu. Die Beklagten hätten bei Anwendung der im Verkehr erforderlichen Sorgfalt als Fachunternehmen erkennen können, dass sie mit den beanstandeten Handlungen die Rechte der Klägerin aus dem Klagegebrauchsmuster verletzen. Da die Klägerin den entstandenen Schaden gegenwärtig noch nicht beziffern kann, hat sie nach § 256 Abs. 1 ZPO ein berechtigtes Interesse daran, dass die Schadensersatzpflicht der Beklagten festgestellt wird.

Um ihren Schaden beziffern zu können, steht der Klägerin außerdem ein Anspruch auf Auskunftserteilung und Rechnungslegung gemäß § 24b GebrMG in Verbindung mit § 242 BGB zu. Die Ansprüche auf Rückruf beziehungsweise Vernichtung der angegriffenen Ausführungsformen ergeben sich aus § 24a in Verbindung mit § 11 GebrMG.

II. Zuständigkeit

Das Landgericht München I ist gemäß § 27 GebrMG in Verbindung mit § 32 ZPO örtlich und sachlich zuständig. Die Klage betrifft eine Gebrauchsmusterstreitsache. Wie vorstehend ausgeführt, bieten die Beklagten die Verletzungsformen unter anderem im Rahmen von Internetauftritten – also bundesweit – an.

III. Streitwert

Die vorläufige Streitwertschätzung der Klägerin beruht auf dem Interesse der Klägerin an der Klage soweit und insofern als sich dieses Interesse mit der Rechtsprechungskompetenz des angerufenen Landgerichts München für das Gebiet der Bundesrepublik Deutschland deckt.

Nach alldem ist die Klage zulässig und begründet.

Noerr LLP

Dr. Ralph Nack
Rechtsanwalt